

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001837

International filing date: 08 February 2005 (08.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-035042
Filing date: 12 February 2004 (12.02.2004)

Date of receipt at the International Bureau: 07 April 2005 (07.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

14.02.2005

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 2月12日

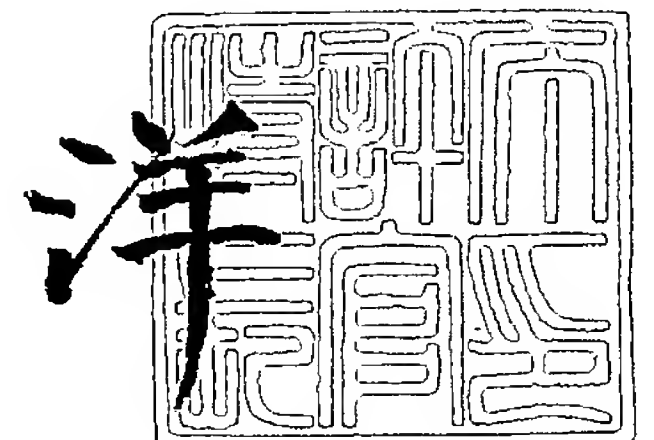
出願番号
Application Number: 特願2004-035042
[ST. 10/C]: [JP2004-035042]

出願人
Applicant(s): 松下電器産業株式会社

2005年 3月24日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 2900750350
【提出日】 平成16年 2月12日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 19/177
【発明者】
 【住所又は居所】 神奈川県横浜市港北区綱島東四丁目 3 番 1 号 パナソニックモバイルコミュニケーションズ株式会社内
 【氏名】 青山 恭弘
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 工藤 洋介
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100105050
 【弁理士】
 【氏名又は名称】 鷺田 公一
【手数料の表示】
 【予納台帳番号】 041243
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9700376

【書類名】 特許請求の範囲**【請求項 1】**

並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、分岐用設定情報を受けて当該分岐用設定情報に基づいて前記記憶手段の前記第 1 及び第 2 の設定情報のいずれかを読み出して前記論理演算手段と前記データ処理手段とに与えて制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うプログラマブル論理回路。

【請求項 2】

並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、停止用設定情報を受けて当該停止用設定情報に基づいて前記論理演算手段と前記データ処理手段との停止を制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うプログラマブル論理回路。

【請求項 3】

前記論理演算手段は、前記第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行って前記データを生成するロジックセルを具備する請求項 1 又は請求項 2 に記載のプログラマブル論理回路。

【請求項 4】

前記データ処理手段は、前記第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する請求項 1 から請求項 3 のいずれかに記載のプログラマブル論理回路。

【請求項 5】

前記データ処理手段は、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する請求項 4 に記載のプログラマブル論理回路。

【請求項 6】

並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とを接続する接続手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号及び隣接の前記他の単位論理回路からのデータのいずれかに所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、

前記第 1 及び第 2 の設定情報を記憶する記憶手段と、分岐用設定情報を受けて当該分岐用設定情報に基づいて前記記憶手段の前記第 1 及び第 2 の設定情報のいずれかを読み出して前記論理演算手段と前記データ処理手段とに与えて制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うプログラマブル論理回路。

【請求項 7】

並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とを接続する接続手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号及び隣接の前記他の単位論理回路からのデータのいずれかに所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、停止用設定情報を受けて当該停止用設定情報に基づいて前記論理演算手段と前記データ処理手段との停止を制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うプログラマブル論理回路。

【請求項 8】

前記論理演算手段は、前記第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号又は隣接の前記他の単位論理回路からの前記データに所定の論理演算処理を行って前記データを生成するロジックセルを具備する請求項 7 に記載のプログラマブル論理回路。

【請求項 9】

前記データ処理手段は、前記第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する請求項 6 から請求項 8 のいずれかに記載のプログラマブル論理回路。

【請求項 10】

前記データ処理手段は、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する請求項 9 に記載のプログラマブル論理回路。

【書類名】 明細書

【発明の名称】 プログラマブル論理回路

【技術分野】

【0 0 0 1】

本発明は、プログラムすることにより所定の論理演算の機能を実現できるプログラマブル論理回路に関するものであり、特に、動的に内部構成を変化させながら処理を行うダイナミックプログラマブル論理回路に関するものである。

【背景技術】

【0 0 0 2】

従来のプログラマブル論理回路として、特許文献 1 に記載のものがある。この従来のプログラマブル論理回路は、動的相互接続アレーとラッチ回路とダイナミックロジックコアを用いて、具現化すべき回路を段階的に実行する動的再構成可能なフィールドプログラマブルロジックデバイスである。前記従来のプログラマブル論理回路においては、大規模な論理回路を実現する場合に、複数の前記プログラマブル論理回路を直列に接続して、各レベルの論理処理を順番に実行するようにしている。

【0 0 0 3】

この場合に、前記従来のプログラマブル論理回路においては、回路レベルを示す回路レベルカウンタと内部レベルを示す内部カウンタを用いて、第 1 のチップの内部レベルが規定のレベルまで達すると、次のチップを動作させるように制御している。すなわち、前記従来のプログラマブル論理回路においては、チップ単位に回路レベルを分割して具現化している。

【特許文献 1】 特表平 8 - 5 1 0 8 8 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、従来のプログラマブル論理回路においては、より大規模な論理回路を実現しようとする、処理並列度を 1 チップに収まる程度に抑える必要があるため、処理時間が増加するという問題がある。また、従来のプログラマブル論理回路においては、処理時間を短縮するため、単一のチップに含まれるダイナミックロジックモジュールの個数を増加させることで処理並列度を高めると、これに比例して動的相互接続アレーの接続点が増加し必要となる設定情報が増大するため、実装回路面積が増大してしまうという問題がある。

【0 0 0 5】

本発明は、かかる点に鑑みてなされたものであり、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 6】

請求項 1 に記載の発明は、並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、分岐用設定情報を受けて当該分岐用設定情報に基づいて前記記憶手段の前記第 1 及び第 2 の設定情報のいずれかを読み出して前記論理演算手段と前記データ処理手段とに与えて制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の

順序回路の動作を行う構成を採る。

【 0 0 0 7 】

この構成によれば、複数の単位論理回路の各々が記憶手段から順次に読み出す第 1 及び第 2 の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。また、この構成によれば、複数の単位論理回路の各々が分岐用設定情報を受けて当該分岐用設定情報に基づいて前記記憶手段の前記第 1 及び第 2 の設定情報のいずれかを読み出して論理演算手段とデータ処理手段とに与えて制御するため、より汎用性があるプログラマブル論理回路を提供することができる。

【 0 0 0 8 】

請求項 2 に記載の発明は、並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、停止用設定情報を受けて当該停止用設定情報に基づいて前記論理演算手段と前記データ処理手段との停止を制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う構成を採る。

【 0 0 0 9 】

この構成によれば、複数の単位論理回路の各々が記憶手段から順次に読み出す第 1 及び第 2 の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。また、この構成によれば、停止用設定情報を受けて当該停止用設定情報に基づいて論理演算手段とデータ処理手段との停止を制御するため、より汎用性があるプログラマブル論理回路を提供することができる。

【 0 0 1 0 】

請求項 3 に記載の発明は、請求項 1 又は請求項 2 に記載の発明において、前記論理演算手段が、前記第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行って前記データを生成するロジックセルを具備する構成を採る。

【 0 0 1 1 】

この構成によれば、請求項 1 又は請求項 2 に記載の発明の効果を有する。

【 0 0 1 2 】

請求項 4 に記載の発明は、請求項 1 から請求項 3 のいずれかに記載の発明において、前記データ処理手段が、前記第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する構成を採る。

【 0 0 1 3 】

この構成によれば、請求項 1 から請求項 3 のいずれかに記載の発明の効果を有する。

【 0 0 1 4 】

請求項 5 に記載の発明は、請求項 4 に記載の発明において、前記データ処理手段が、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する構成を採る。

【 0 0 1 5 】

この構成によれば、請求項 4 に記載の発明の効果を有する。

【0016】

請求項6に記載の発明は、並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とを接続する接続手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第1の設定情報に基づいて機能の変更が可能であって前記入力信号及び隣接の前記他の単位論理回路からのデータのいずれかに所定の論理演算処理を行ってデータを生成する論理演算手段と、第2の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第1及び第2の設定情報を記憶する記憶手段と、分岐用設定情報を受けて当該分岐用設定情報に基づいて前記記憶手段の前記第1及び第2の設定情報のいずれかを読み出して前記論理演算手段と前記データ処理手段とに与えて制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第1及び第2の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う構成を採る。

【0017】

この構成によれば、複数の単位論理回路の各々が記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。また、この構成によれば、入力信号及び隣接の他の単位論理回路からのデータのいずれかに所定の論理演算処理を行ってデータを生成し、また、複数の単位論理回路の各々が分岐用設定情報を受けて当該分岐用設定情報に基づいて記憶手段の第1及び第2の設定情報のいずれかを読み出して論理演算手段とデータ処理手段とに与えて制御するため、より汎用性があるプログラマブル論理回路を提供することができる。

【0018】

請求項7に記載の発明は、並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とを接続する接続手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記複数の単位論理回路の各々は、第1の設定情報に基づいて機能の変更が可能であって前記入力信号及び隣接の前記他の単位論理回路からのデータのいずれかに所定の論理演算処理を行ってデータを生成する論理演算手段と、第2の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第1及び第2の設定情報を記憶する記憶手段と、停止用設定情報を受けて当該停止用設定情報に基づいて前記論理演算手段と前記データ処理手段との停止を制御するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記記憶手段から順次に読み出す前記第1及び第2の設定情報に基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う構成を採る。

【0019】

この構成によれば、複数の単位論理回路の各々が記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。また、この構成によれば、入力信号及び隣接の他の単位論理回路からのデータのいずれかに所定の論理演算処理を行ってデータを生成し、また、停止用設定情報を受けて当該停止用設定情報に基づいて論理演算手段とデータ処理手段との停止を制御するため、より汎用性がある

プログラマブル論理回路を提供することができる。

【0 0 2 0】

請求項 8 に記載の発明は、請求項 7 に記載の発明において、前記論理演算手段が、前記第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号又は隣接の前記他の単位論理回路からの前記データに所定の論理演算処理を行って前記データを生成するロジックセルを具備する構成を採る。

【0 0 2 1】

この構成によれば、請求項 7 に記載の発明の効果を有する。

【0 0 2 2】

請求項 9 に記載の発明は、請求項 6 から請求項 8 のいずれかに記載の発明において、前記データ処理手段が、前記第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する構成を採る。

【0 0 2 3】

この構成によれば、請求項 6 から請求項 8 のいずれかに記載の発明の効果を有する。

【0 0 2 4】

請求項 1 0 に記載の発明は、請求項 9 に記載の発明において、前記データ処理手段が、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する構成を採る。

【0 0 2 5】

この構成によれば、請求項 9 に記載の発明の効果を有する。

【発明の効果】

【0 0 2 6】

以上説明したように、本発明によれば、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【発明を実施するための最良の形態】

【0 0 2 7】

本発明の骨子の第 1 のものは、メモリ制御手段が分岐用設定情報に基づいて記憶手段の第 1 及び第 2 の設定情報のいずれかを読み出して論理演算手段とデータ処理手段とに与えて制御し、複数の単位論理回路の各々が、記憶手段から順次に読み出す第 1 及び第 2 の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うことである。

【0 0 2 8】

また、本発明の骨子の第 2 のものは、メモリ制御手段が停止用設定情報に基づいて論理演算手段とデータ処理手段との停止を制御し、複数の単位論理回路の各々が、記憶手段から順次に読み出す第 1 及び第 2 の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うことである。

【0 0 2 9】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0 0 3 0】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に係るプログラマブル論理回路の構成を示すブロック図である。

【0 0 3 1】

図 1 に示すように、本発明の実施の形態 1 に係るプログラマブル論理回路 1 0 0 は、複数のプロセッサエレメント 1 0 1、複数のメモリ装置 1 0 2、入出力制御部 1 0 3、制御バス 1 0 4、入力バス 1 0 5 及び出力バス 1 0 6 を具備している。プログラマブル論理回路 1 0 0 には、クロック生成回路 1 0 7 及びユーザー回路 1 0 8 が接続されている。

【0 0 3 2】

複数のプロセッサエレメント 1 0 1 と複数のメモリ装置 1 0 2 とは、1 対 1 で接続され

ている。1対1で接続されているプロセッサエレメント101とメモリ装置102とは、単位論理回路を構成している。複数の単位論理回路は、並列に接続されている。

【0033】

複数のプロセッサエレメント101の各々は、1次元的に1列状に配置されており、物理配置上で隣接する2つの他のプロセッサエレメント101と接続線101aで接続されている。すなわち、複数の単位論理回路は、1次元的に1列状に配置されており、複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とは、接続線101aで接続されている。

【0034】

プロセッサエレメント101は、接続線を用いて隣接する2つの他のプロセッサエレメント101との間でデータの受け渡しを行う。

【0035】

入出力制御部103は、外部とのインターフェース回路となっており、ユーザー回路108と接続されている。制御バス104は、入出力制御部103及びプロセッサエレメント101と接続されている。制御バス104は、初期化及び起動等の制御信号を入出力制御部103から受け取り、各プロセッサエレメント101に転送する。入力バス105は、入出力制御部103及びプロセッサエレメント101と接続されている。入力バス105は、論理演算に用いるデータを入出力制御部103から受け取り、各プロセッサエレメント101に転送する。

【0036】

出力バス106は、入出力制御部103及びプロセッサエレメント101と接続されている。出力バス106は、演算結果のデータをプロセッサエレメント101から受け取り、入出力制御部103に転送する。クロック生成回路107は、内部クロック信号109及びユーザークロック信号110を生成する。ユーザークロック信号110は、ユーザー回路108及び入出力制御部103で使用される。内部クロック信号109は、ユーザークロック信号110の逡倍の周波数となっており、プログラマブル論理回路100の内部で使用される。

【0037】

次に、本プログラマブル論理回路100の機能に関して、図面を参照して説明する。

【0038】

図1において、プログラマブル論理回路100が行う論理演算処理の内容は、メモリ装置102に設定情報として保持されている。各プロセッサエレメント101は、メモリ装置102の設定情報を順次を読み出して、対応する論理演算処理を行う。プログラマブル論理回路100は、ユーザー回路108からユーザークロック信号110に同期して起動信号及び論理演算に用いるデータを受ける。これから一定時間経過後に、プログラマブル論理回路100は、論理演算処理後のデータをユーザー回路108にユーザークロック信号110に同期して与える。

【0039】

次に、プログラマブル論理回路100の内部ブロックの機能に関して、図面を参照して説明する。

【0040】

図1において、各メモリ装置102には、隣接のプロセッサエレメント101の設定情報が格納されている。メモリ装置102は、プロセッサエレメント101から制御信号とメモリアドレスが入力されると、アドレスで指定された設定情報をプロセッサエレメント101に与える。プロセッサエレメント101は、この設定情報に基づいて、実行する処理内容を決定する。

【0041】

プロセッサエレメント101は、制御バス104から初期化信号が入力されると、メモリ装置102の特定のアドレスを読み出し、入力される読み出しデータから設定情報の格納位置アドレスを抽出して保持する。この格納位置アドレスは、設定情報の先頭位置を示

すアドレスである。

【0 0 4 2】

また、プロセッサエレメント 1 0 1 は、制御バス 1 0 4 から起動信号が入力されると、メモリ装置 1 0 2 の前記保持した格納位置アドレスから順次に設定情報を読み出す。さらに、プロセッサエレメント 1 0 1 は、入力バス 1 0 5 及び隣接のプロセッサエレメント 1 0 1 から論理処理用のデータを受け取り、設定情報に基づいてデータの論理処理を行った後にデータの整列、複製及び反転処理を行い、かつ、処理後のデータの保持を行う。また、プロセッサエレメント 1 0 1 は、保持した処理後のデータを出力バス 1 0 6 及び隣接のプロセッサエレメント 1 0 1 に出力する。

【0 0 4 3】

このようにして、複数のプロセッサエレメント 1 0 1 は、データの受け渡しを行う。入出力制御部 1 0 3 は、ユーザー回路 1 0 8 からユーザークロック信号 1 1 0 に同期した起動信号及び論理処理用データを受け取り、このデータを内部クロック信号 1 0 9 に同期させて入力バス 1 0 5 に与える。また、入出力制御部 1 0 3 は、ユーザー回路 1 0 8 からユーザークロック信号 1 1 0 に同期した初期化信号を受け取り、このデータを内部クロック信号 1 0 9 に同期させて入力バス 1 0 5 に出力する。また、入出力制御部 1 0 3 は、出力バス 1 0 6 から内部クロック信号 1 0 9 に同期した論理処理後のデータを受け取り、このデータをユーザークロック信号 1 1 0 に同期させてユーザー回路 1 0 8 に出力する。このようにして、入出力制御部 1 0 3 は、ユーザー回路 1 0 8 との制御信号、論理処理用及び処理結果のデータの受け渡しを行う。

【0 0 4 4】

次に、プログラマブル論理回路 1 0 0 の内部のプロセッサエレメント 1 0 1 の構成について、図面を参照して説明する。

【0 0 4 5】

図 2 は、プロセッサエレメント 1 0 1 の構成を示している。図 2 に示すように、プロセッサエレメント 1 0 1 は、ロジックエレメント 2 0 0 及びメモリ制御部 2 0 1 を具備している。プロセッサエレメント 1 0 1 は、メモリ装置 1 0 2、制御バス 1 0 4、入力バス 1 0 5 及び出力バス 1 0 6 と接続されている。メモリ制御部 2 0 1 は、メモリ装置 1 0 2、ロジックエレメント 2 0 0、制御バス 1 0 4 及びデータバス 1 1 1 と接続されている。ロジックエレメント 2 0 0 は、隣接のプロセッサエレメント 1 0 1 のロジックエレメント 2 0 0 及びメモリ制御部 2 0 1、入力バス 1 0 5、出力バス 1 0 6 並びにデータバス 1 1 1 と接続されている。

【0 0 4 6】

次に、プロセッサエレメント 1 0 1 の機能について、図面を参照して説明する。図 2 において、メモリ制御部 2 0 1 は、制御バス 1 0 4 から初期化信号を受けると、前述した格納位置アドレスの抽出及び保持の処理を行う。メモリ制御部 2 0 1 は、制御バス 1 0 4 から起動信号が入力されると、メモリ装置 1 0 2 の前記保持した格納位置アドレスから順次に設定情報を読み出し、ロジックエレメント 2 0 0 に転送する。

【0 0 4 7】

ロジックエレメント 2 0 0 は、入力バス 1 0 5 及び隣接のプロセッサエレメント 1 0 1 からデータを受け取り、メモリ制御部 2 0 1 から転送される設定情報に基づいてデータの論理処理を行った後にデータの整列、複製及び反転処理を行い、かつ、処理後のデータの保持を行う。また、ロジックエレメント 2 0 0 は、メモリ制御部 2 0 1 から転送される設定情報に基づいて、出力バス 1 0 6 及び隣接のプロセッサエレメント 1 0 1 に処理後のデータを出力する。

【0 0 4 8】

次に、プロセッサエレメント 1 0 1 の内部のロジックエレメント 2 0 0 の構成及び設定情報の構成について、図面を参照して説明する。

【0 0 4 9】

図 3 には、ロジックエレメント 2 0 0 の構成が示されている。図 4 には、設定情報とメ

メモリ装置 1 0 2 の構成が示されている。

【 0 0 5 0 】

図 3 において、ロジックエレメント 2 0 0 は、ロジックセル 3 0 0、クロスコネクトスイッチ 3 0 1 及びフリップフロップ 3 0 2 を具備している。ロジックエレメント 2 0 0 は、メモリ制御部 2 0 1、入力バス 1 0 5 及び出力バス 1 0 6 と接続されている。ロジックセル 3 0 0 は、メモリ制御部 2 0 1、フリップフロップ 3 0 2 及びクロスコネクトスイッチ 3 0 1 と接続されている。クロスコネクトスイッチ 3 0 1 は、メモリ制御部 2 0 1、ロジックセル 3 0 0、フリップフロップ 3 0 2、入力バス 1 0 5 及び隣接のロジックエレメント 2 0 0 の内部のロジックセル 3 0 0 と接続されている。フリップフロップ 3 0 2 は、ロジックセル 3 0 0、クロスコネクトスイッチ 3 0 1、出力バス 1 0 6 及びメモリ制御部 2 0 1 と接続されている。

【 0 0 5 1 】

なお、ロジックセル 3 0 0 は、論理演算回路を構成している。また、クロスコネクトスイッチ 3 0 1 は、データ処理装置を構成している。また、クロスコネクトスイッチ 3 0 1 及びフリップフロップ 3 0 2 は、データ処理装置を構成している。

【 0 0 5 2 】

図 4 は、メモリ装置の構成を示している。図 4 において、メモリ装置 1 0 2 の内部の先頭部分には、設定情報の格納アドレス情報が格納されている。メモリ装置 1 0 2 の内部における先頭部分以外の特定領域には、設定情報が格納されている。

【 0 0 5 3 】

図 4 において、ビット 2 5 ~ 2 6 はロジックセル 3 0 0 の設定情報であり、ビット 0 ~ 2 4 はクロスコネクトスイッチ 3 0 1 の設定情報である。ビット 0 ~ 2 4 は、5 ビット単位にクロスコネクトスイッチ 3 0 1 の 5 つの出力に対応する 4 ビットの接続情報及び 1 ビットの反転制御情報から構成されている。

【 0 0 5 4 】

次に、ロジックエレメント 2 0 0 の機能について、図面を参照して説明する。図 3 において、ロジックセル 3 0 0 は、フリップフロップ 3 0 2 から入力されるデータに対し、メモリ制御部 2 0 1 から転送される設定情報によって指定される特定の論理処理を行い、クロスコネクトスイッチ 3 0 1、隣接のプロセッサエレメント 1 0 1 のロジックエレメント 2 0 0 へ処理後のデータを出力する。クロスコネクトスイッチ 3 0 1 は、ロジックセル 3 0 0、入力バス 1 0 5、隣接のプロセッサエレメント 1 0 1 のロジックエレメント 2 0 0 から入力されるデータに対し、メモリ制御部 2 0 1 から転送される設定情報によって指定される特定のデータの整列、複製及び反転処理を行い、フリップフロップ 3 0 2 へ処理後のデータを出力する。フリップフロップ 3 0 2 は、クロスコネクトスイッチ 3 0 1 から入力されるデータを、内部クロック信号 1 0 9 のタイミングで保持する。フリップフロップ 3 0 2 は、保持したデータをロジックセル 3 0 0 及び出力バス 1 0 6 に出力する。

【 0 0 5 5 】

次に、ロジックセル 3 0 0 の機能及び動作について、具体例を用いて説明する。

【 0 0 5 6 】

図 5 において、ロジックセル 3 0 0 に対し設定情報の 2 ビット及び入力データの 2 ビットが入力され、ロジックセル 3 0 0 は出力データの 1 ビットを出力している。図 6 は、この場合のロジックセル 3 0 0 の機能及び動作の例を示している。図 6 において、設定情報が 0 0 である時には、ロジックセル 3 0 0 は入力データの論理和 (OR) を出力する。設定情報が 0 1 である時には、ロジックセル 3 0 0 は入力データの論理積 (AND) を出力する。設定情報が 1 0 である時には、ロジックセル 3 0 0 は入力データの排他的論理和 (XOR) を出力する。設定情報が 1 1 である時には、ロジックセル 3 0 0 は入力データの論理和の反転データ (NOR) を出力する。このように、ロジックセル 3 0 0 は、設定情報に基づいて、異なる複数の論理機能を実現可能な回路である。

【 0 0 5 7 】

次に、クロスコネクトスイッチ 3 0 1 の機能について、具体例を用いて説明する。

【 0 0 5 8 】

図 7 には、クロスコネクトスイッチ 3 0 1 の内部ブロック及び機能の例が示されている。図 7 において、クロスコネクトスイッチ 3 0 1 の内部の相互接続部 7 0 0 に対し設定情報の 4 ビット並びに入力データ A、B、C の 3 ビット及びロウレベルが入力され、相互接続部 7 0 0 から出力データ O U T 1、O U T 2 の 2 ビットが出力されている。さらに、相互接続部 7 0 0 の各出力データは、設定情報の 1 ビットと排他的論理和 (X O R) がとられ、外部に出力される。この X O R は、クロスコネクトスイッチ 3 0 1 からの出力データを設定情報に基づいてビット単位に反転するためのものである。この場合、出力数は 2 であるので X O R 部分に 2 ビットの設定情報が使用されるため、クロスコネクトスイッチ 3 0 1 の全体で使用する設定情報は合計 6 ビットとなる。

【 0 0 5 9 】

図 8 は、この場合の相互接続部 7 0 0 の機能例を示している。図 8 において、相互接続部 7 0 0 は、設定情報の M S B の 2 ビットが O U T 1 に出力されるデータを選択し、L S B の 2 ビットが O U T 2 に出力されるデータを選択している。相互接続部 7 0 0 は、設定情報が 0 0 である時には入力データ A を出力し、設定情報が 0 1 である時には入力データ B を出力する。相互接続部 7 0 0 は、設定情報が 1 0 である時には入力データ C を出力し、設定情報が 1 1 である時にはロウレベルを出力する。

【 0 0 6 0 】

このように、クロスコネクトスイッチ 3 0 1 は、設定情報に基づいて複数の入力データの整列、複製及び反転処理が可能であり、また、設定情報に設定された固定値を出力することも可能な回路である。

【 0 0 6 1 】

次に、プログラマブル論理回路 1 0 0 の動作について、図面を参照して説明する。図 9 及び図 1 0 には、プログラマブル論理回路 1 0 0 の動作タイミングの例が示されている。図 9 には、外部からの初期化の動作が表されている。図 1 0 には、外部からの起動及び実際の論理処理の動作が表されている。

【 0 0 6 2 】

まず、T 1 期間において、入出力制御部 1 0 3 は、ユーザー回路 1 0 8 からユーザークロック信号 1 1 0 に同期した初期化信号 9 0 0 を受けて内部初期化信号 9 0 1 として保持する。T 2 期間において、入出力制御部 1 0 3 は、保持した内部初期化信号 9 0 1 を内部クロック信号 1 0 9 に同期させて制御バス 1 0 4 に出力する。制御バス 1 0 4 の内部初期化信号 9 0 2 は、すべてのプロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 に入力される。

【 0 0 6 3 】

T 3 期間において、プロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 は、入力された内部初期化信号 9 0 2 をトリガにして、メモリ装置 1 0 2 の特定のアドレス 9 0 4 に対し、読み出し信号 9 0 3 を出力する。その後、メモリ制御部 2 0 1 は、入力される読み出しデータ 9 0 5 を保持データ 9 0 6 として一度保持し、この保持データ 9 0 6 から設定情報の格納位置アドレス 9 0 7 を抽出して保持する。T 1 ~ T 3 の動作により、設定情報の格納位置アドレス 9 0 7 が各プロセッサエレメント 1 0 1 に記憶され、いつでも処理を実行できる状態となる。

【 0 0 6 4 】

T 4 期間において、プログラマブル論理回路 1 0 0 は、起動待ち状態である。T 5 期間において、入出力制御部 1 0 3 は、ユーザー回路 1 0 8 からユーザークロック信号 1 1 0 に同期した起動信号 1 0 0 0 及び処理用データ 1 0 0 1 を受け取って内部起動信号 1 0 0 2 及び処理用データ 1 0 0 3 として保持する。T 6 期間において、入出力制御部 1 0 3 は、保持した内部起動信号 1 0 0 2 を内部クロック信号 1 0 9 に同期させて制御バス 1 0 4 に出力する。また、入出力制御部 1 0 3 は、保持した内部処理用データ 1 0 0 3 を内部クロック信号 1 0 9 に同期させて入力バス 1 0 5 に出力する。

【 0 0 6 5 】

制御バス 1 0 4 の内部起動信号 1 0 0 4 は、すべてのプロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 に入力される。入力バス 1 0 5 の論理処理用データ 1 0 0 5 は、すべてのプロセッサエレメント 1 0 1 のロジックエレメント 2 0 0 に入力される。T 7 期間において、各プロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 は、入力された内部起動信号 1 0 0 4 をトリガにして、メモリ装置 1 0 2 の T 3 期間において保持した格納位置アドレス 9 0 7 に対し読み出し信号 9 0 3 を出力する。T 8 期間において、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 から出力される読み出しデータ 9 0 5 を保持データ 9 0 6 として保持する。同時に、メモリ制御部 2 0 1 は、メモリ装置 1 0 2 の次のアドレスに対し、読み出し信号 6 0 3 を出力する。

【 0 0 6 6 】

T 9 期間において、各メモリ制御部 2 0 1 は、保持データ 9 0 6 をロジックエレメント 2 0 0 に出力する。また、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 から出力される読み出しデータ 9 0 5 を保持する。同時に、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 の次のアドレスに対し、読み出し信号を出力する。各ロジックエレメント 2 0 0 は、入力される保持データ（設定情報） 9 0 6 に基づいて、入力バス 1 0 5 からの論理処理用データ 1 0 0 5 の整列、複製及び反転処理を行い、処理後のデータを内部のフリップフロップ 3 0 2 に保持する。

【 0 0 6 7 】

T 1 0 期間において、各メモリ制御部 2 0 1 は、保持データ 9 0 6 をロジックエレメント 2 0 0 に出力する。また、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 から出力される読み出しデータ 9 0 5 を内部に保持する。同時に、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 の次のアドレスに対して読み出し信号を出力する。

【 0 0 6 8 】

各ロジックエレメント 2 0 0 は、フリップフロップ 3 0 2、入力バス 1 0 5 及び隣接のプロセッサエレメント 1 0 1 からの論理処理用データ 1 0 0 5 を、入力される保持データ（設定情報） 9 0 6 に基づいて論理処理を行って、処理後のデータをフリップフロップ 3 0 2 に保持する。以下、T 1 0 期間の処理を繰り返すことにより、一つの論理処理を実現する。

【 0 0 6 9 】

すべての期間において、フリップフロップ 3 0 2 のデータは、出力バス 1 0 6 に出力されており、入出力制御部 1 0 3 は、このデータを常に内部クロック信号 1 0 9 に同期して保持している。入出力制御部 1 0 3 は、保持データをユーザクロック信号 1 1 0 に同期してユーザ回路 1 0 8 に出力する。ユーザ回路 1 0 8 は、入力されるデータのフラグを参照し、出力データ（論理処理後のデータ）を保持する、又は、決められた期間後のデータを保持する。

【 0 0 7 0 】

次に、特定の論理処理機能をプログラマブル論理回路 1 0 0 にマッピングした例を、図面を参照して説明する。説明を簡潔に行うため、動作例で示した T 9、T 1 0 期間のロジックエレメント 2 0 0 の動作のみを説明する。

【 0 0 7 1 】

図 1 1 は、2 入力 2 出力のロジックセル 3 0 0 の機能を示している。図 1 2 は、ロジックセル 3 0 0 を持つプログラマブル論理回路 1 0 0 に対して、4 ビットの比較回路をマッピングした場合の例を示している。図 1 2 において、縦方向には物理的に異なる 4 つのプロセッサエレメント 1 0 1 が示されており、横方向には同一のプロセッサエレメント 1 0 1 が各サイクルでどのような処理を行うかが示されている。

【 0 0 7 2 】

図 1 3 は、4 ビットの比較回路を示している。図 1 3 に示すように、入力データとして、I N 0 ～ 7 の 8 ビットデータがあり、I N 0 ～ 3 と I N 4 ～ 7 の比較結果が 1 ビットのデータとして出力される。

【 0 0 7 3 】

図 1 2 において、ロジックセル (L C) 3 0 0 の入力及び出力は、上側が L S B であり、下側が M S B である。また、ロジックセル (L C) 3 0 0 の下部に記載されているデータは、ロジックセル (L C) 3 0 0 に対する設定情報である。複数のロジックセル (L C) 3 0 0 は、図 1 3 に示すように動作する。まず、サイクル 1 及び 2 において、複数のロジックセル (L C) 3 0 0 は入力データをビット単位に整列する。サイクル 3 において、複数のロジックセル (L C) 3 0 0 は各ビットに対して X N O R の処理を行う。サイクル 4 において、複数のロジックセル (L C) 3 0 0 はサイクル 3 の結果に対して A N D 処理を行う。サイクル 5 において、複数のロジックセル (L C) 3 0 0 はサイクル 4 の結果に対して A N D 処理を行う。サイクル 6 において、複数のロジックセル (L C) 3 0 0 は比較結果を出力する。結果として、内部クロック信号 1 0 9 の 6 サイクルで出力が確定される。内部クロック信号 1 0 9 のクロック数がユーザクロック信号 1 1 0 のクロック数の 6 倍である時に、ユーザ回路 1 0 8 からは、1 クロックで比較処理が完了したように見える。

【 0 0 7 4 】

次に、本発明の実施の形態 1 に係るプログラマブル論理回路 1 0 0 のメモリ制御部 2 0 1 の動作を主とした動作について、図面を参照して詳細に説明する。

【 0 0 7 5 】

図 3 に示すように、メモリ制御部 2 0 1 は、メモリ装置 1 0 2、制御バス 1 0 4 及びデータバス 1 1 1 と接続されている。また、メモリ制御部 2 0 1 の入力端子は、ロジックエレメント 2 0 0 のフリップフロップ 3 0 2 の出力端子に接続されている。また、メモリ制御部 2 0 1 の出力端子は、ロジックエレメント 2 0 0 のロジックセル 3 0 0 及びクロスコネクトスイッチ 3 0 1 に接続されている。

【 0 0 7 6 】

メモリ制御部 2 0 1 は、制御バス 1 0 4 からの制御信号に基づいてメモリ装置 1 0 2 と情報の送受をし、かつ、データバス 1 1 1 からのデータバスデータ 1 1 1 1 を受ける。また、メモリ制御部 2 0 1 は、フリップフロップ 3 0 2 からのフリップフロップデータ 3 0 2 1 を受ける。

【 0 0 7 7 】

次に、プログラマブル論理回路 1 0 0 による分岐制御について、詳細に説明する。

【 0 0 7 8 】

図 1 4 は、プログラマブル論理回路 1 0 0 による分岐制御に用いられる分岐用設定情報の構成を説明するための図である。分岐用設定情報 1 4 0 0 は、分岐を示すコード 1 4 0 1、分岐判定用データの選択コード (R E F) 1 4 0 2、分岐先アドレス (J M P B) 1 4 0 3 及び分岐先アドレス (J M P A) 1 4 0 4 を有している。

【 0 0 7 9 】

分岐を示すコード 1 4 0 1 は、ビット 2 4 ~ 2 1 からなり、「1 1 1 1」である場合には分岐を示し、「1 1 1 1」でない場合には分岐以外の通常の処理を示している。分岐判定用データの選択コード 1 4 0 2 は、ビット 1 9 ~ 1 6 からなり、分岐判定に用いるデータを選択するための情報である。本例では、分岐判定用データの選択コード 1 4 0 2 は、データバスデータ 1 1 1 1 及びフリップフロップデータ 3 0 2 1 から特定の 1 ビットを選択するための情報として使用される。分岐先アドレス 1 4 0 3 は、ビット 1 5 ~ 8 からなり、判定用ビット = 1 の時に飛ぶ分岐先アドレスを示している。分岐先アドレス 1 4 0 4 は、ビット 7 ~ 0 からなり、判定用ビット = 0 の時に飛ぶ分岐先アドレスを示している。

【 0 0 8 0 】

図 3 において、メモリ制御部 2 0 1 は、一連のメモリ装置 1 0 2 からの読み出し動作において、読み出しデータのビット 2 4 ~ 2 1 を参照し、データ値が「1 1 1 1」以外である時には読み出しデータが通常の設定情報であると判断し、ロジックエレメント 2 0 0 にデータをそのまま転送し、通常の処理を継続する。また、メモリ制御部 2 0 1 は、ビット 2 4 ~ 2 1 が「1 1 1 1」である時には読み出しデータが分岐制御用情報であると判断し、ロジックエレメント 2 0 0 に動作を一時停止する擬似設定情報、例えば、すべて「0」

のデータを転送し、図14におけるREFビット、すなわち、ビット19～16を参照する。

【0081】

次に、メモリ制御部201は、REFビットに従って、データバスデータ1111及びフリップフロップデータ3021から特定の1ビットを選択し、選択した前記ビットが「1」である時にはメモリ装置102に出力する読み出しアドレスにJMPBで指定されたアドレスをセットする。

【0082】

メモリ制御部201は、選択した前記ビットが「0」である時にはメモリ装置102に出力する読み出しアドレスにJMPAで指定されたアドレスをセットする。これ以降において、メモリ制御部201は、セットされたアドレスより順番にメモリ装置102の設定情報を読み出しロジックエレメント200に転送する。

【0083】

次に、プログラマブル論理回路100の分岐制御による処理について、図1乃至図3と共に図15乃至図17を参照して詳細に説明する。

【0084】

図15は、プログラマブル論理回路を実装した処理回路を示すブロック図である。図15において、処理回路1500は、回路Cの処理結果に従って回路A及び回路Bの処理結果のいずれかの値をセレクタ1501が外部に出力するよう動作する。簡単のため、各回路A、B、Cは、それぞれ1つのプロセッサエレメントを用いて実現可能とする。また、処理回路(LSI)1500に搭載されたプロセッサエレメントの数は3とする。

【0085】

まず、図16に、プログラマブル論理回路の分岐制御を用いない場合の処理サイクルを示す。図16は、左から右方向へのクロックサイクル進行における、それぞれの回路の処理レイテンシを示している。例えば、回路Aの処理レイテンシは5サイクルである。回路B及び回路Cの処理レイテンシはそれぞれ5サイクル及び6サイクルである。これらのレイテンシの差を吸収するため、回路A、Bは、回路Cの処理完了までのサイクルにデータ保持のみを行っている。サイクル7において、1つのプロセッサエレメントは、回路A、Bの結果をうけて、図15におけるセレクタ1501の処理を実行して外部に処理回路1500の処理結果データを出力する。

【0086】

図16に示すように、結果的に全体として7サイクルの処理時間及び3つのプロセッサエレメントが必要となっている。これは、1つのプロセッサエレメントを1サイクル使用する処理を1プロセッサエレメント時間とすると、 $3 \times 7 = 21$ のプロセッサエレメント時間を使用していることになる。

【0087】

一方、図17には、プログラマブル論理回路100の分岐制御を用いた場合の処理サイクルを示す。図17に示す例では、図16におけるサイクル6までの期間に回路Cのみの処理を行い、サイクル7において、回路Cの結果データを用いて分岐判定を実行している。分岐判定結果としてメモリ制御部201は、回路Bの処理に対応するアドレスをメモリ装置100に対し出力し、次のサイクルより回路Bを実行している。結果的に全体処理時間は、14サイクルに増加しているが、プロセッサエレメントの必要数は1に削減できるため、全体で $1 \times 14 = 14$ のプロセッサエレメント時間で処理が完了していることになる。

【0088】

このように、本発明の実施の形態1においては、分岐制御を実施することにより、同時に並列的に実行される処理のうち、結果的に無駄になる処理部分を削減することができる。特に、出力までの要求時間が長い処理にこの分岐制御を用いることにより、空き状態となるプロセッサエレメント101に他の処理を割り当てることができるため、全体の処理性能を高めることが可能となる。また、本発明の実施の形態1においては、プロセッサエ

レメントの数が実装すべき回路に対して十分でない場合にも特に有効に全体の処理性能を高めることが可能となる。

【0089】

(実施の形態2)

次に、本発明の実施の形態2について、図面を参照して詳細に説明する。本発明の実施の形態2に係るプログラマブル論理回路の構成は、本発明の実施の形態1に係るプログラマブル論理回路100と同じである。

【0090】

本発明の実施の形態2に係るプログラマブル論理回路は、分岐制御の処理によりメモリ使用効率を向上させるものである。

【0091】

図18は、プログラマブル論理回路を実装する処理回路を示すブロック図である。図18において、処理回路1800は、回路A、回路B、回路C、回路A及び回路Dの順に処理を行う回路である。最初の回路Aと3番目の回路Aは入力に対して同一の処理を行うものとする。

【0092】

また、図19は、プログラマブル論理回路100の分岐制御を用いない場合におけるメモリ装置102の内部の設定情報の格納状態を説明するための図である。図19において、回路Aは40ワードのメモリ領域を使用し、回路B、C、Dはそれぞれ20ワードのメモリ領域を使用する。

【0093】

図18における処理回路1800は、メモリ装置102のアドレス10から150まで順に実行され、合計140ワードの領域を使用することになる。

【0094】

一方、図20は、プログラマブル論理回路100の分岐制御を用いた場合におけるメモリ装置102の内部の設定情報の格納状態を説明するための図である。図20において、回路Aの処理後には回路B又は回路Dの先頭アドレスに飛ぶ分岐制御用情報が挿入されている。また、回路Cの処理後に、回路A又は回路Dの先頭アドレスに飛ぶ分岐制御用情報が挿入されている。本例において処理順序は、まず、アドレス10から読み出しを行って回路Aの処理完了後に、分岐によりアドレス51に飛んで回路Bの処理を行う。その後に、回路Cの処理を行い、処理完了後、分岐によりアドレス10に飛び再度回路Aを処理する。

【0095】

回路Aの処理完了後に、分岐によりアドレス92に飛び、回路Dの処理を行う。結果的に回路Aの1つ分の領域が削減されている。分岐の方法としては、回路Cの処理完了時にフラグビットを生成し、このフラグビットを用いる方法がある。

【0096】

このように、本発明の実施の形態2においては、分岐制御を実施することにより、複数回使用される回路のメモリ領域を削減することができるため、回路全体の機能実装効率が高まる。また、本発明の実施の形態2においては、外部からの入力データを監視する処理や特定の値までカウントアップするような処理においては、同一の処理が繰り返し実行される場合が多い回路、例えば、100までカウントアップ後に特定の処理を行うような回路においては、+1の処理を行う回路の後に分岐制御用情報を挿入し、分岐判定条件として、カウンタ値と固定値100の比較結果を用いることにより、大きく面積を削減することができる。

【0097】

なお、本発明の実施の形態2において、分岐するアドレスは、2通りに限定する必要はなく、参照するビット数を増やして、多くの分岐先アドレスを設定してもよい。

【0098】

(実施の形態3)

次に、本発明の実施の形態 3 について、図面を参照して詳細に説明する。本発明の実施の形態 3 に係るプログラマブル論理回路の構成は、本発明の実施の形態 1 に係るプログラマブル論理回路 1 0 0 と同じである。本発明の実施の形態 3 に係るプログラマブル論理回路は、停止制御により実装効率を向上させるものである。

【0 0 9 9】

図 2 1 は、本発明の実施の形態 3 に係るプログラマブル論理回路 1 0 0 による停止制御に用いられる停止用設定情報を説明するための図である。停止用設定情報 2 1 0 0 は、分岐を示すコード 2 1 0 1、停止を示すコード (R E F) 2 1 0 2 及び停止サイクル数 2 1 0 3 を有している。

【0 1 0 0】

分岐を示すコード 2 1 0 1 は、ビット 2 4 ~ 2 1 からなり、「1 1 1 1」である場合には分岐を示し、「1 1 1 1」でない場合には分岐以外の通常の処理を示している。停止を示すコード 2 1 0 2 は、ビット 1 9 ~ 1 6 からなり、停止か否かを示す情報である。停止サイクル数 2 1 0 3 は、停止を示すコード 2 1 0 2 が停止を示している時における停止サイクル数 (停止期間) の情報である。

【0 1 0 1】

図 3 において、メモリ制御部 2 0 1 は、メモリ装置 1 0 2 からの情報の読み出し動作において、読み出した情報のビット 2 4 ~ 2 1 を参照し、データ値が「1 1 1 1」以外である時に、読み出した情報が通常の設定情報であると判断し、ロジックエレメント 2 0 0 に情報をそのまま転送し、通常の処理を継続する。メモリ制御部 2 0 1 は、読み出した情報のビット 2 4 ~ 2 1 が「1 1 1 1」であり、R E F ビットが「1 1 1 1」以外である時に、読み出した情報が分岐コードであると判断し、前述した分岐の動作を行う。

【0 1 0 2】

また、メモリ制御部 2 0 1 は、読み出した情報のビット 2 4 ~ 2 1 が「1 1 1 1」であり、かつ、R E F ビットが「1 1 1 1」である時に、読み出した情報が停止コードであると判断し、ビット 0 ~ 7 を内部にラッチし、内部カウンタのカウントアップを開始する。カウンタ値が前記ラッチデータの値に達するまでカウントアップは継続し、同時にロジックエレメント 2 0 0 に動作を停止する擬似設定情報、例えば、すべて 0 のデータを転送し続ける。この間、メモリ制御部 2 0 1 は、メモリ装置 1 0 2 の情報の読み出しは行わない。その後、カウンタ値が前記ラッチデータの値に達した時点で、メモリ制御部 2 0 1 は、再びメモリ装置 1 0 2 の情報の読み出しを開始して通常動作を再開する。

【0 1 0 3】

このような制御により、連動動作する他のプロセッサエレメント 1 0 1 の処理完了待ち状態にあるプロセッサエレメント 1 0 1、又は、自身の処理完了により動作の必要のなくなったプロセッサエレメント 1 0 1 の消費電力を抑えることができ、かつ、メモリ装置 1 0 2 における無駄な領域を削減できる。

【0 1 0 4】

例えば、図 1 5 において、回路 A 及び回路 B の処理が 2 サイクルで完了するような場合に、回路 C の処理完了まで前記擬似停止コードをサイクルごとに読み出した場合に、 $4 \times 2 = 8$ サイクル分のメモリ領域が停止コードのみで使用されてしまうことになる。停止コードを回路 A 及び回路 B の領域の直後に挿入することにより、6 サイクル分の無駄なコードを削減できることになる。同時にこの期間のメモリアクセスが停止するため、その分の消費電力を抑えることができる。また、停止サイクル数の領域に停止期間が ∞ 無限となる値を設定することにより、最初から使用しないプロセッサエレメント 1 0 1 の消費電力を抑えることも可能である。

【0 1 0 5】

以上説明したように、本発明の実施の形態 1、2、3 に係るプログラマブル論理回路 1 0 0 は、複数のプロセッサエレメント 1 0 1 が独立に動作することも連動動作することも可能であり、複数種類の論理処理を同時に並列的に行うことが可能であり、かつ、一つの論理処理を連動して行うことも可能となっている。

【0106】

また、本発明の実施の形態1、2、3に係るプログラマブル論理回路100は、同一のエレメントが1次元的に1列状に配列されているため、実装規模に応じて柔軟に対応可能であり、拡張性が高い。また、本発明の実施の形態1、2、3に係るプログラマブル論理回路100は、データの送受を隣接のプロセッサエレメント101の間に限定することにより、設定情報を大幅に削減することが可能となり、回路面積を削減でき、かつ、実装するLSIのコスト及び消費電力を削減できる。

【0107】

また、本発明の実施の形態1、2、3に係るプログラマブル論理回路100は、実装エレメント数に関係なく、任意のプロセッサエレメント101のフリップフロップから隣接する他のプロセッサエレメント101のフリップフロップまでの配線距離が最小限かつ一定であるため、動作周波数を限界にまで引き上げることが可能となり、従来のプログラマブルロジックに比して、高速動作が可能となっている。

【0108】

また、本発明の実施の形態1、2、3に係るプログラマブル論理回路100は、同一の回路上で、繰り返し機能を変更しながら処理を行うため、回路面積を削減でき、かつ、実装するLSIのコスト及び消費電力を削減できる。

【0109】

なお、本発明の実施の形態1において、内部クロック信号109は、必ずしもユーザークロック信号110の通倍である必要がなく、例えば、入出力制御部103に適切なクロック乗せ換え回路を用いることで、ユーザークロック信号110に同期しないクロック信号を内部クロック信号として用いてもよい。

【0110】

また、本発明の実施の形態1、2、3において、メモリ装置102は、プログラマブル論理回路100の内部に存在する必要がなく、プログラマブル論理回路101の外部に存在する構成でもよい。また、本発明の実施の形態1、2、3において、クロック生成回路107は、プログラマブル論理回路100の内部に配設してもよい。

【0111】

また、本発明の実施の形態1、2、3において、メモリ装置102とプロセッサエレメント101との間にマルチプレクサなどの選択回路を挿入して、設定によりメモリ装置102と各プロセッサエレメント101との接続を変更可能にしてもよい。ただし、この場合にはデータの処理の遅延量が増加するため、周波数を維持するためには、パイプライン等を用いて高速化を図る必要がある。

【0112】

また、本発明の実施の形態1、2、3において、図3に示すロジックエレメント200の内部の各ブロック、ロジックセル300、クロスコネクトスイッチ301及びフリップフロップ302の間の接続及び前記各ブロックと入力バス105、出力バス106及び隣接のロジックエレメント200との接続は、図3のものに限定されるものではなく、例えば、ロジックセル300とクロスコネクトスイッチ301の間にフリップフロップを設けて、さらに動作周波数を高めてもよい。また、本発明の実施の形態1において、入力バス105からのデータはクロスコネクトスイッチ301ではなく、ロジックセル300又はフリップフロップ302に入力してもよい。

【0113】

また、本発明の実施の形態1において、複数のプロセッサエレメント101の各々は、他のプロセッサエレメント101に接続されていなくてもよい。

【産業上の利用可能性】**【0114】**

本発明は、電子装置を制御する制御装置などに適用することができる。

【図面の簡単な説明】**【0115】**

【図 1】本発明の実施の形態 1 に係るプログラマブル論理回路の構成を示すブロック図

【図 2】本発明の実施の形態 1 に係るプログラマブル論理回路のプロセッサエレメントの構成を示すブロック図

【図 3】本発明の実施の形態 1 に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントの構成を示すブロック図

【図 4】本発明の実施の形態 1 に係るプログラマブル論理回路の設定情報とメモリ装置の構成を説明するための図

【図 5】本発明の実施の形態 1 に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントにおけるロジックセルの機能を説明するためのブロック図

【図 6】本発明の実施の形態 1 に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントにおけるロジックセルの動作を説明するための図

【図 7】本発明の実施の形態 1 に係るプログラマブル論理回路のプロセッサエレメントのクロスコネクトスイッチの構成を示すブロック図

【図 8】本発明の実施の形態 1 に係るプログラマブル論理回路のプロセッサエレメントのクロスコネクトスイッチの動作を説明するための図

【図 9】本発明の実施の形態 1 に係るプログラマブル論理回路の初期化時の動作を説明するためのタイミング図

【図 10】本発明の実施の形態 1 に係るプログラマブル論理回路の起動時及びデータ処理時の動作を説明するためのタイミング図

【図 11】本発明の実施の形態 1 に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントにおけるロジックセルの動作を説明するための図

【図 12】本発明の実施の形態 1 に係るプログラマブル論理回路で 4 ビットの比較回路をマッピングした場合のプロセッサエレメントの動作を時間軸方向に展開した図

【図 13】本発明の実施の形態 1 に係るプログラマブル論理回路で 4 ビットの比較回路をマッピングした場合のプロセッサエレメントで形成する 4 ビットの比較回路を示す回路図

【図 14】本発明の実施の形態 1 に係るプログラマブル論理回路に用いる分岐用設定情報を説明するための図

【図 15】プログラマブル論理回路を実装した処理回路を示すブロック図

【図 16】本発明の実施の形態 1 に係るプログラマブル論理回路の分岐制御を用いない場合の処理サイクルを説明するための図

【図 17】本発明の実施の形態 1 に係るプログラマブル論理回路の分岐制御を用いた場合の処理サイクルを説明するための図

【図 18】プログラマブル論理回路を実装する処理回路を示すブロック図

【図 19】本発明の実施の形態 2 に係るプログラマブル論理回路の分岐制御を用いない場合におけるメモリ装置の内部の設定情報の格納状態を説明するための図

【図 20】本発明の実施の形態 2 に係るプログラマブル論理回路の分岐制御を用いた場合におけるメモリ装置の内部の設定情報の格納状態を説明するための図

【図 21】本発明の実施の形態 3 に係るプログラマブル論理回路による停止制御に用いられる停止用設定情報を説明するための図

【符号の説明】

【0 1 1 6】

1 0 0 プログラマブル論理回路

1 0 1 プロセッサエレメント

1 0 1 a 接続線

1 0 2 メモリ装置

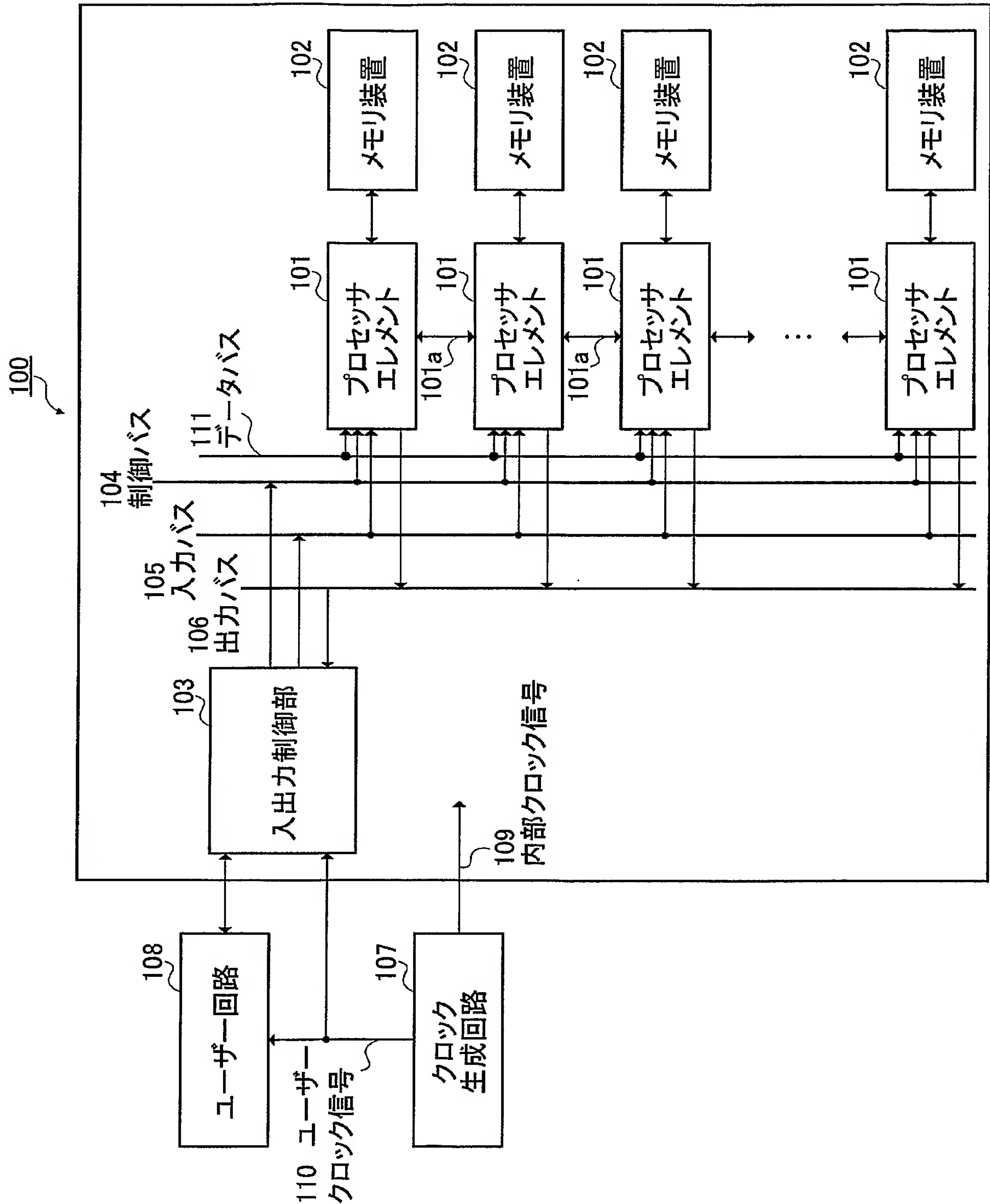
1 0 3 入出力制御部

1 0 4 制御バス

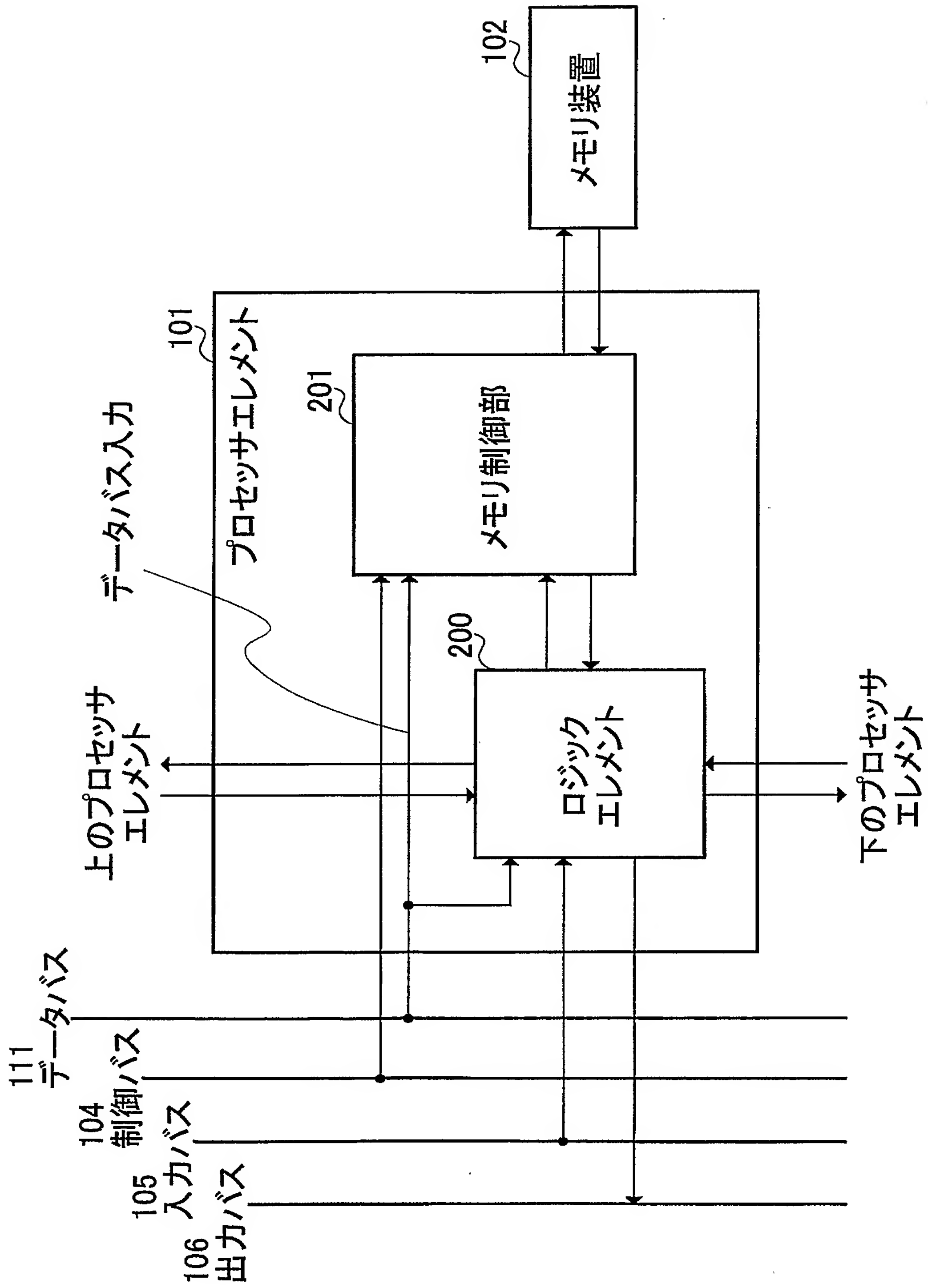
1 0 5 入力バス

1 0 6 出力バス
2 0 0 ロジックエレメント
2 0 1 メモリ制御部
3 0 0 ロジックセル
3 0 1 クロスコネクトスイッチ
3 0 2 フリップフロップ
1 4 0 0 分岐用設定情報
2 1 0 0 停止用設定情報

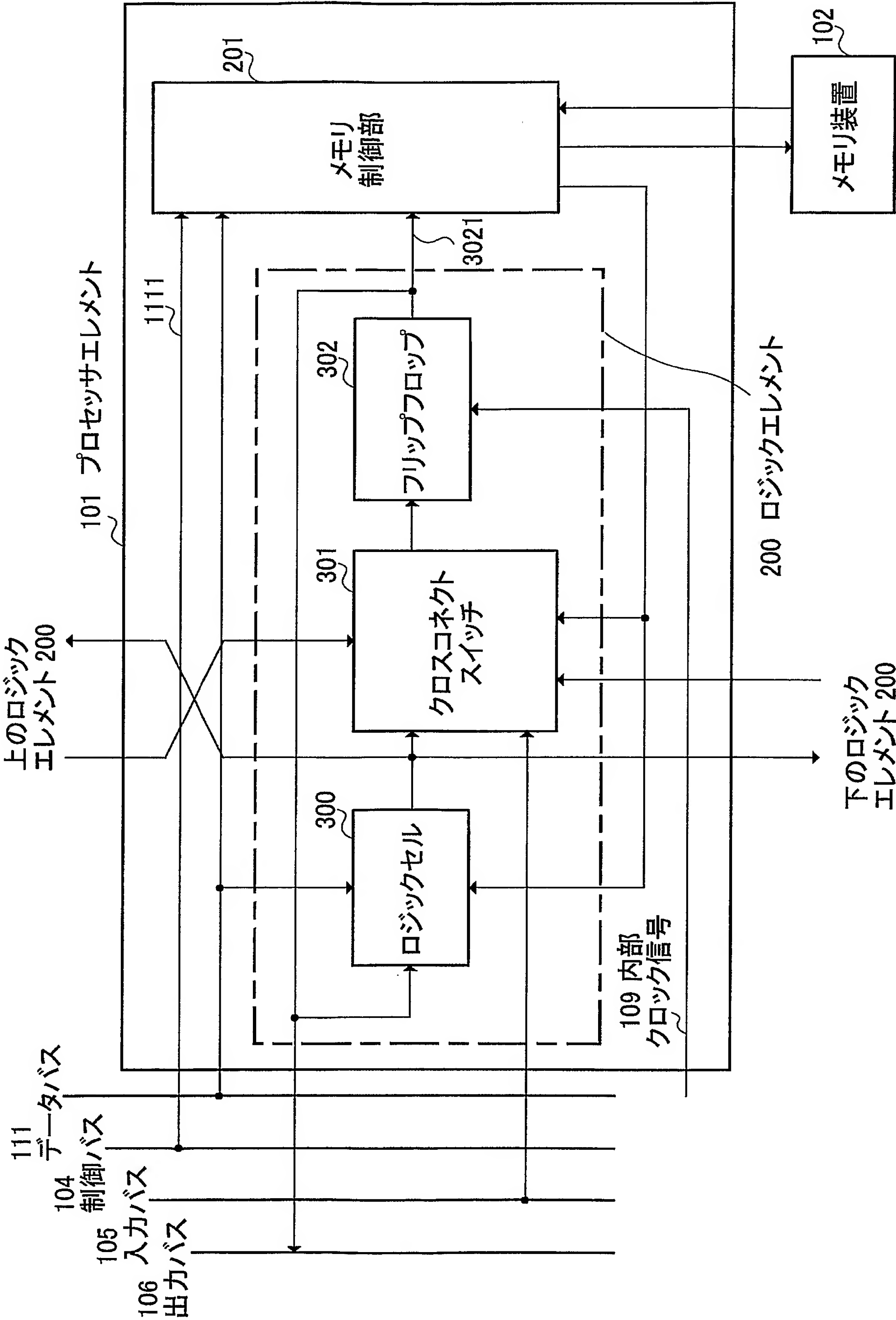
【書類名】 図面
【図 1】



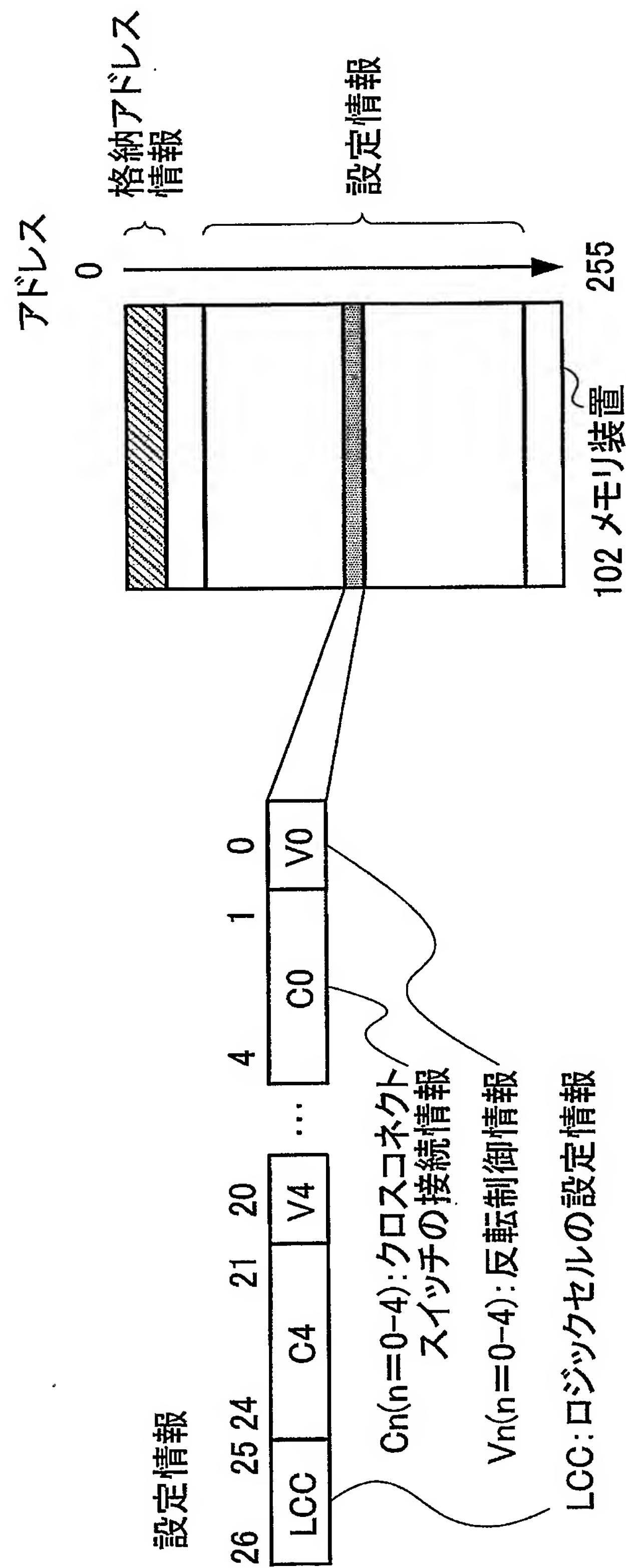
【図 2】



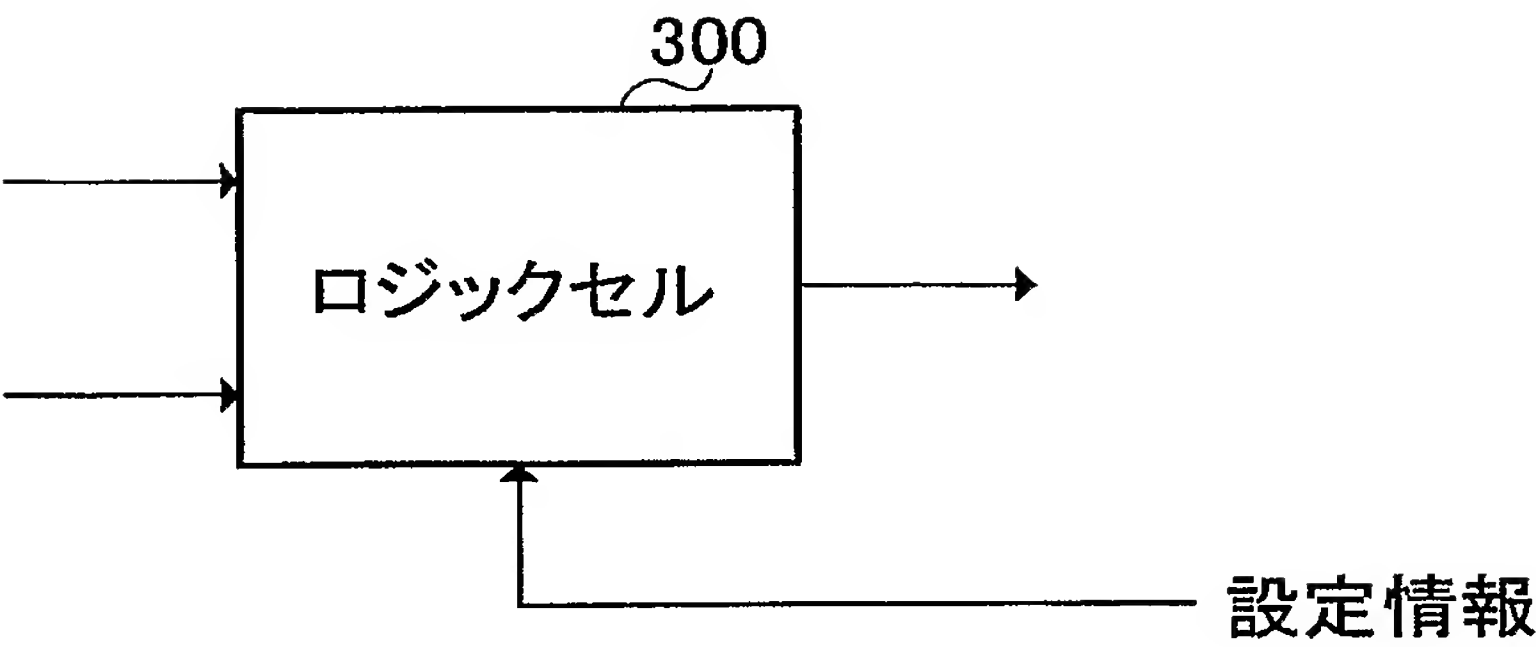
【図 3】



【図 4】



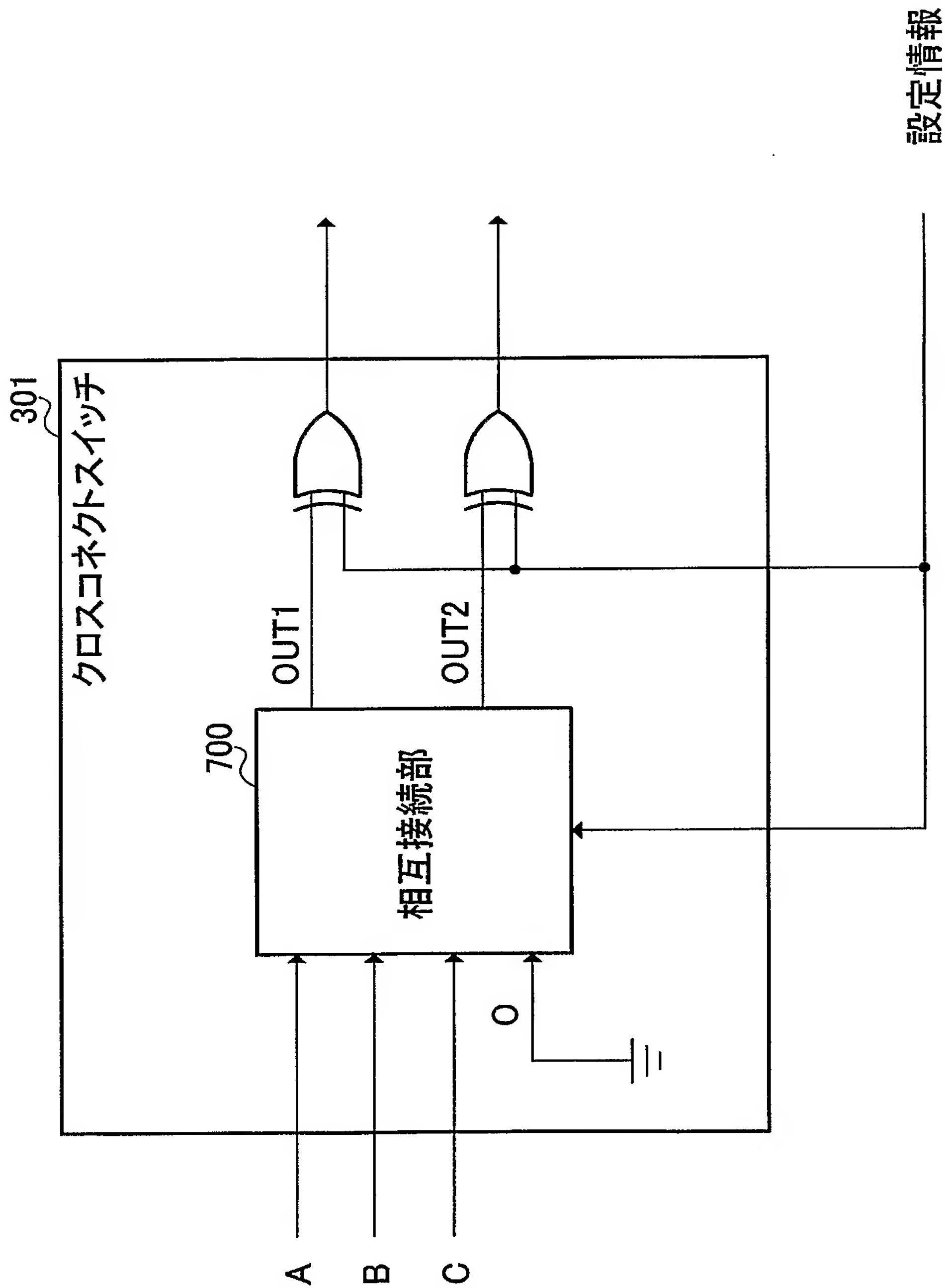
【図 5】



【図 6】

		設定情報			
		00	01	10	11
入力データ	00	0	0	0	1
	01	1	0	1	0
	10	1	0	1	0
	11	1	1	0	0

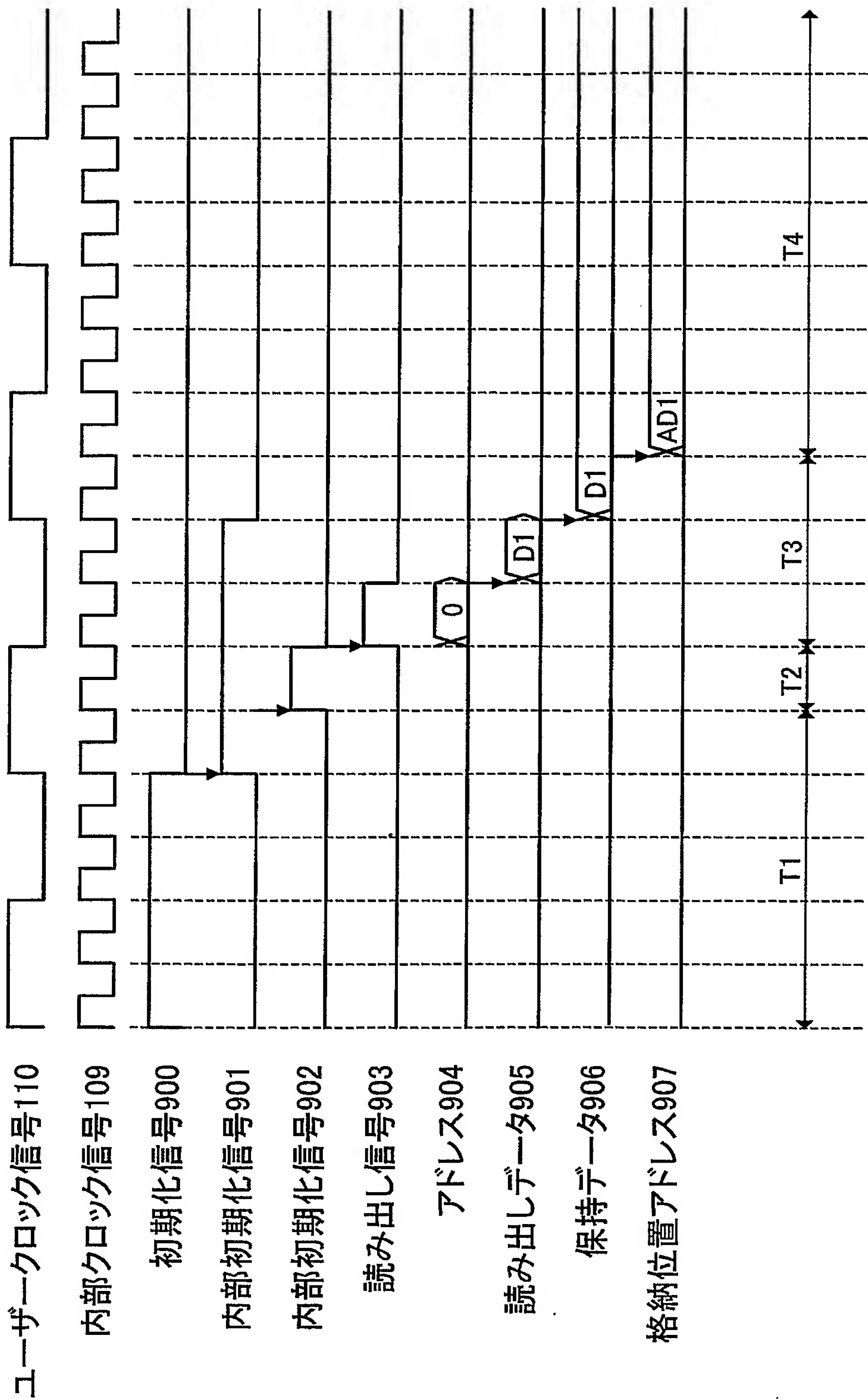
【図 7】



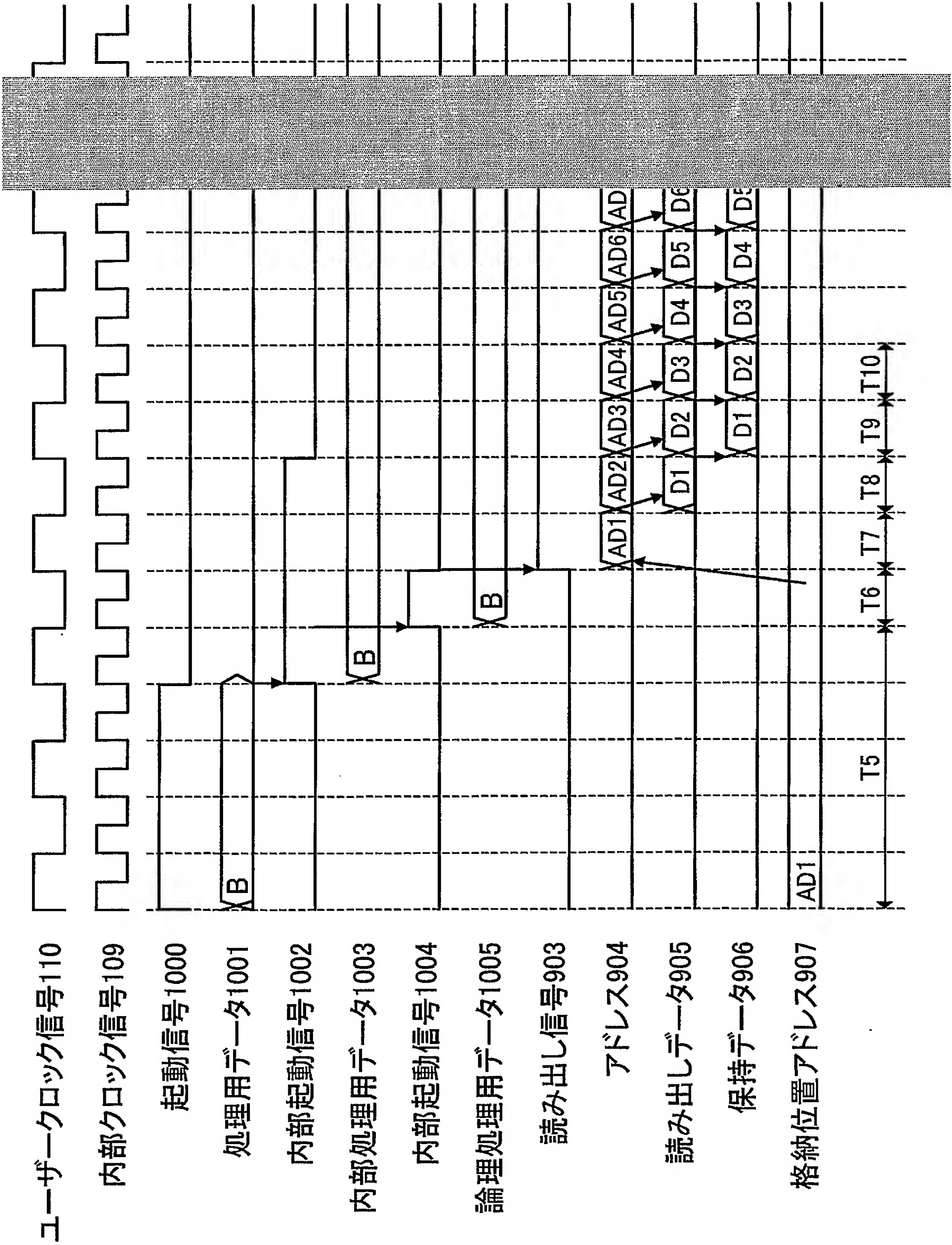
【図 8】

		出力データ	
		OUT1	OUT2
設定情報	0000	A	A
	0001	A	B
	0010	A	C
	0011	A	O
	0100	B	A
	0101	B	B
	0110	B	C
	0111	B	O
	1000	C	A
	1001	C	B
	1010	C	C
	1011	C	O
	1100	O	A
	1101	O	B
	1110	O	C
	1111	O	O

【図 9】



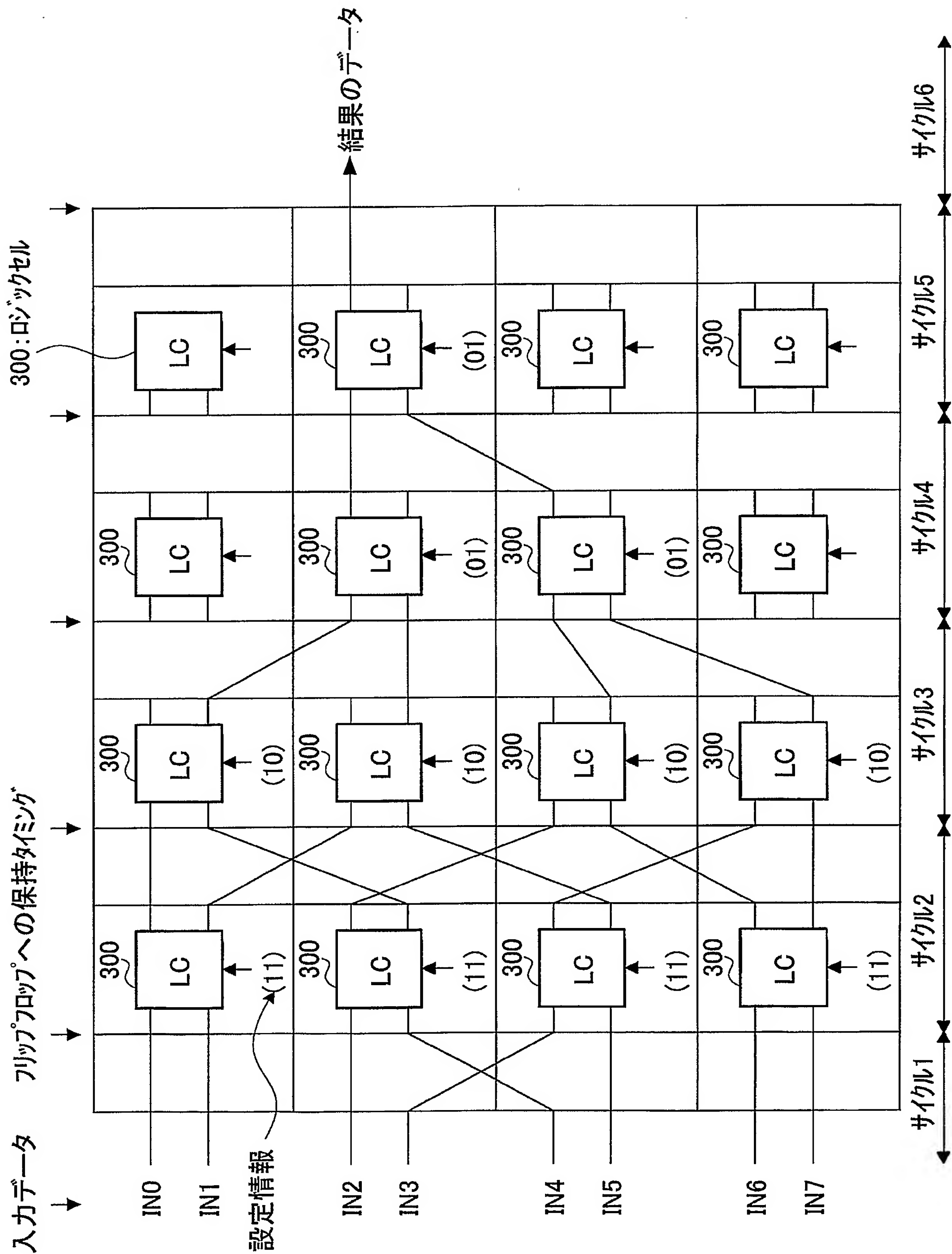
【図 1 0】



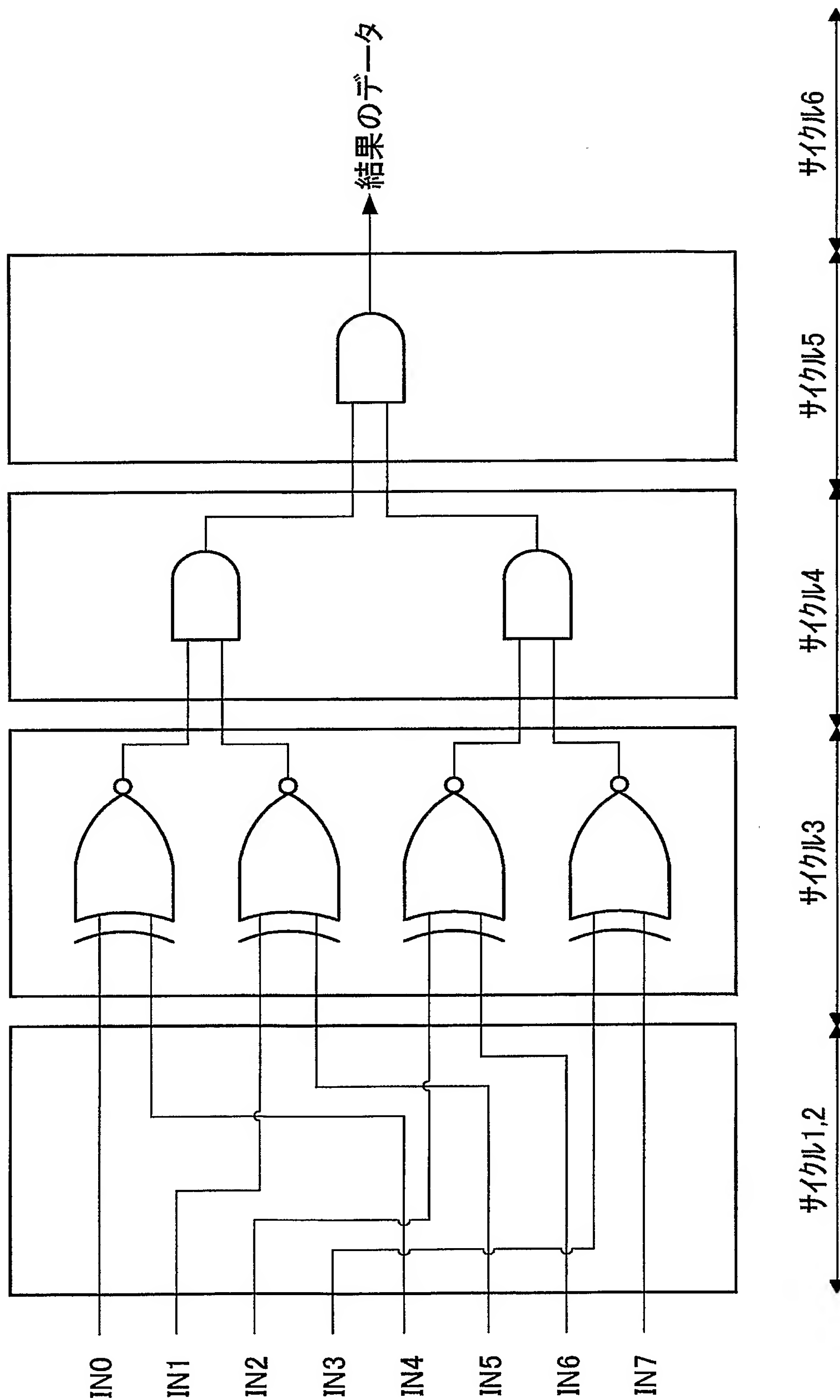
【図 1 1】

		設定情報			
		00	01	10	11
入力データ	00	01	01	01	00
	01	10	01	10	01
	10	10	01	10	10
	11	10	10	01	11

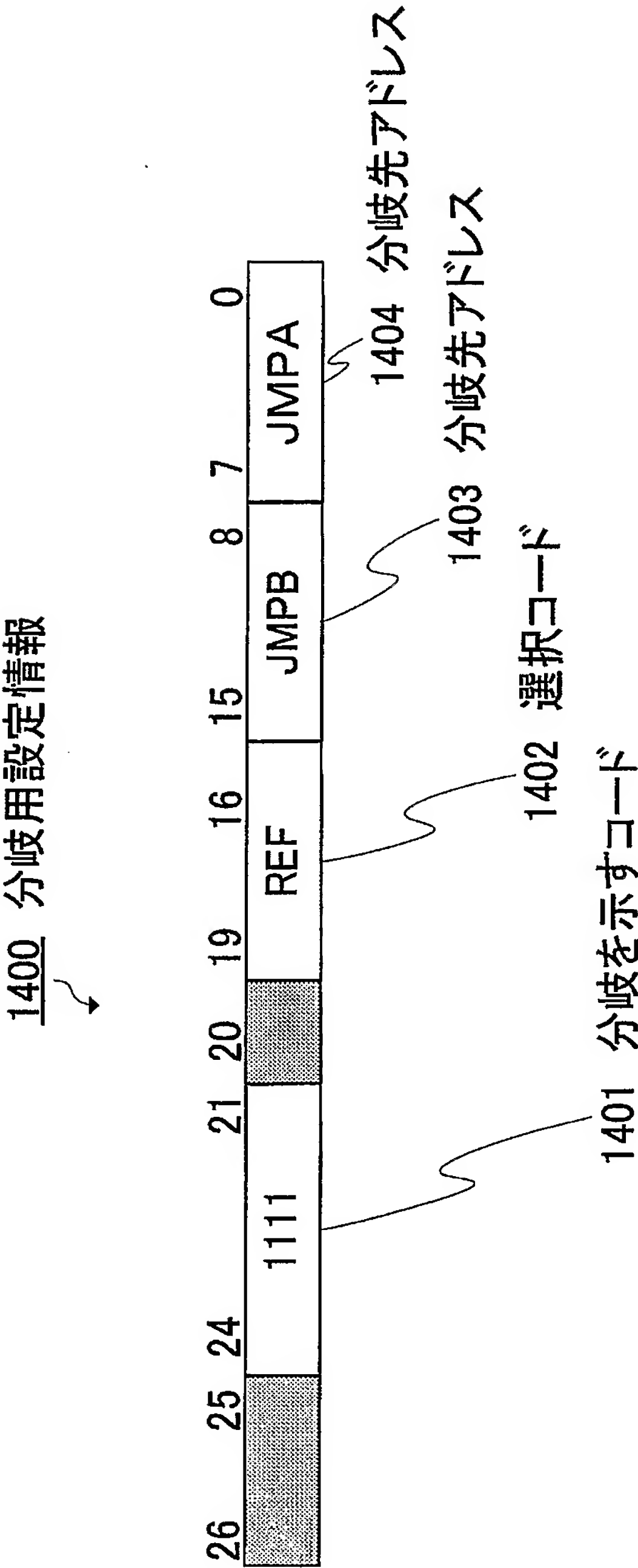
【図 1 2】



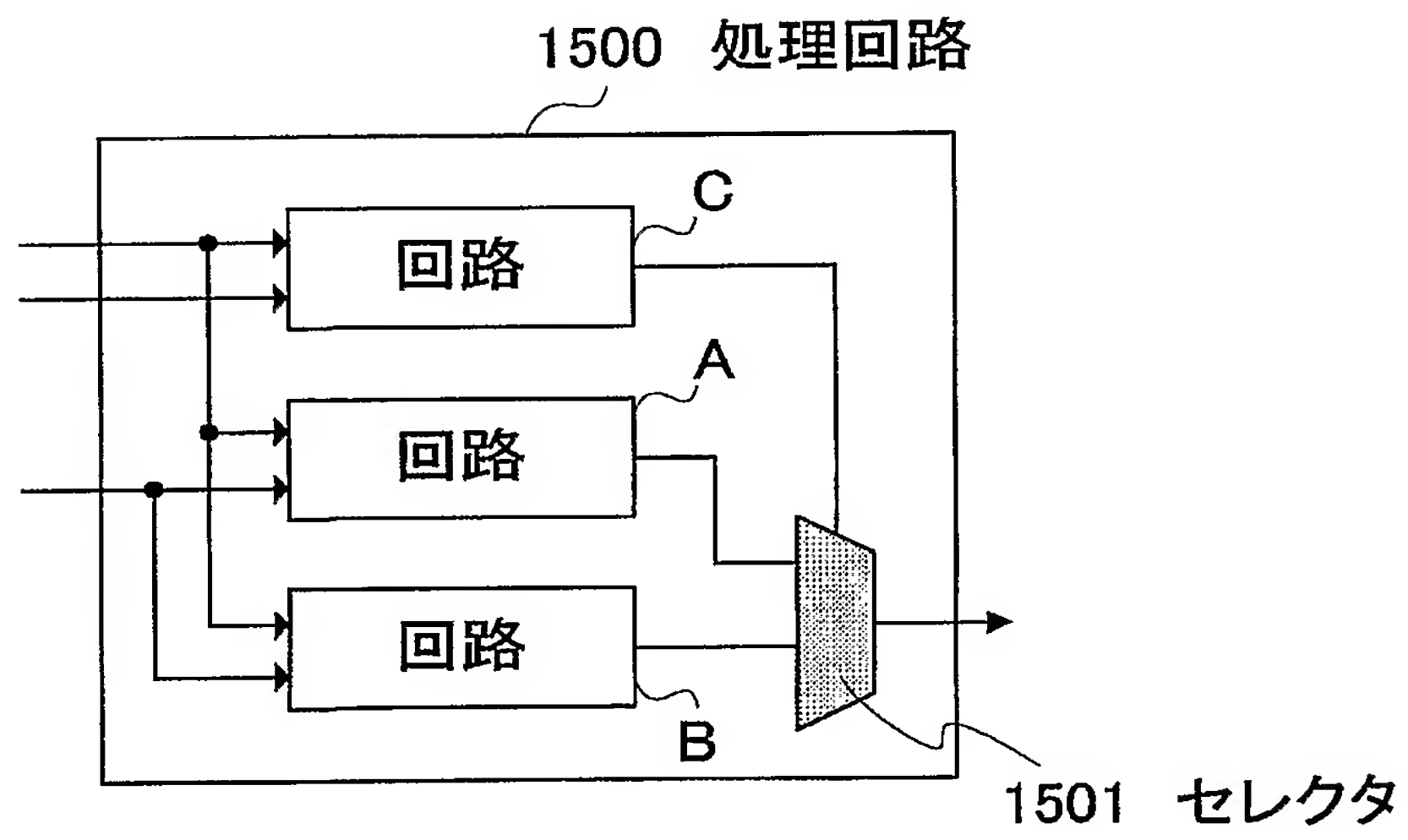
【図 13】



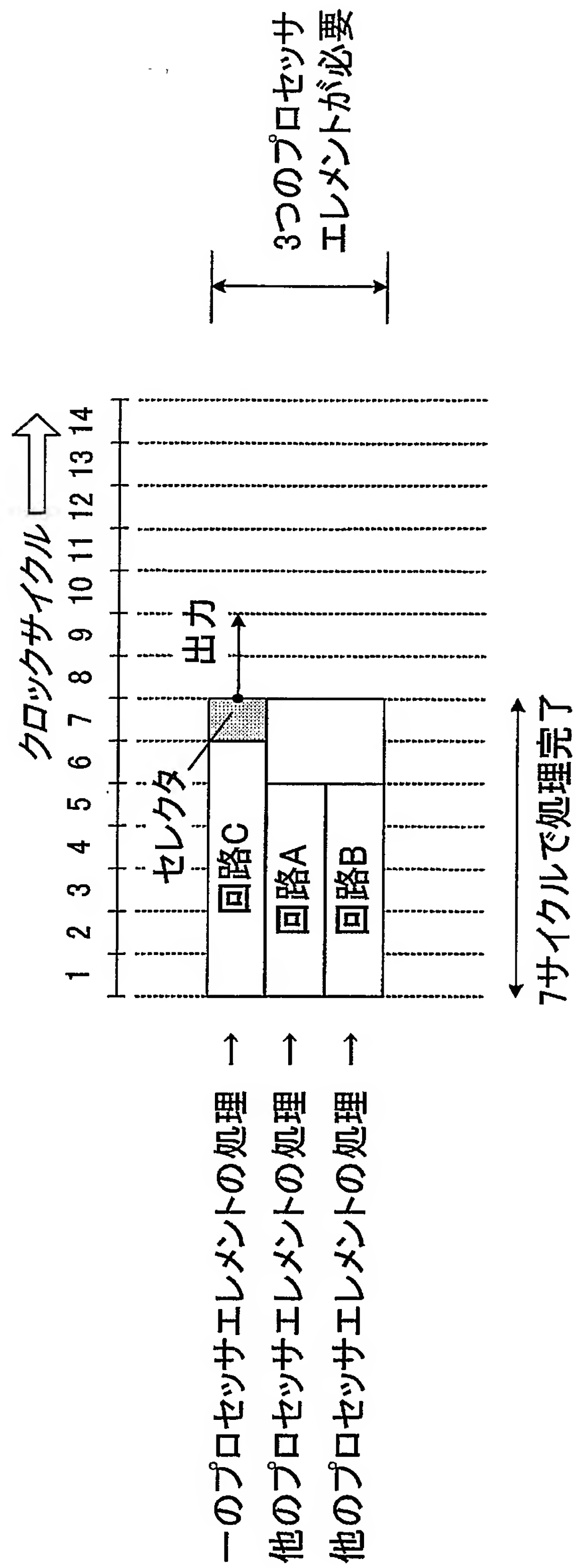
【図 1 4】



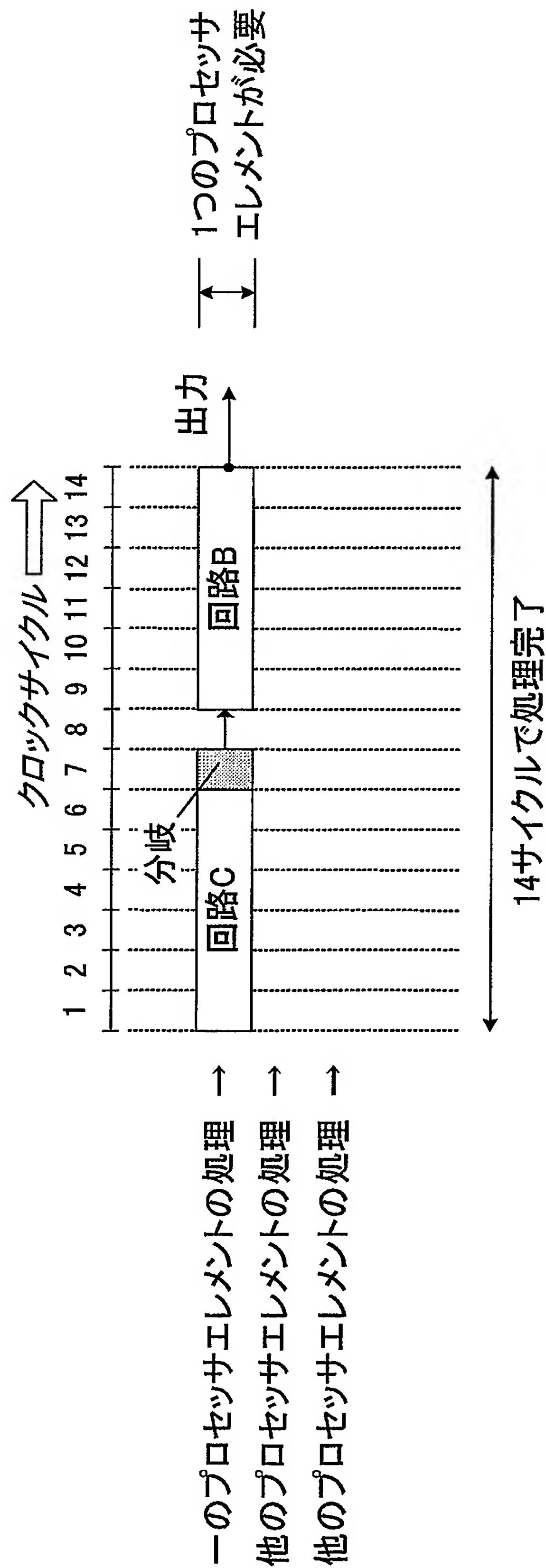
【図 1 5】



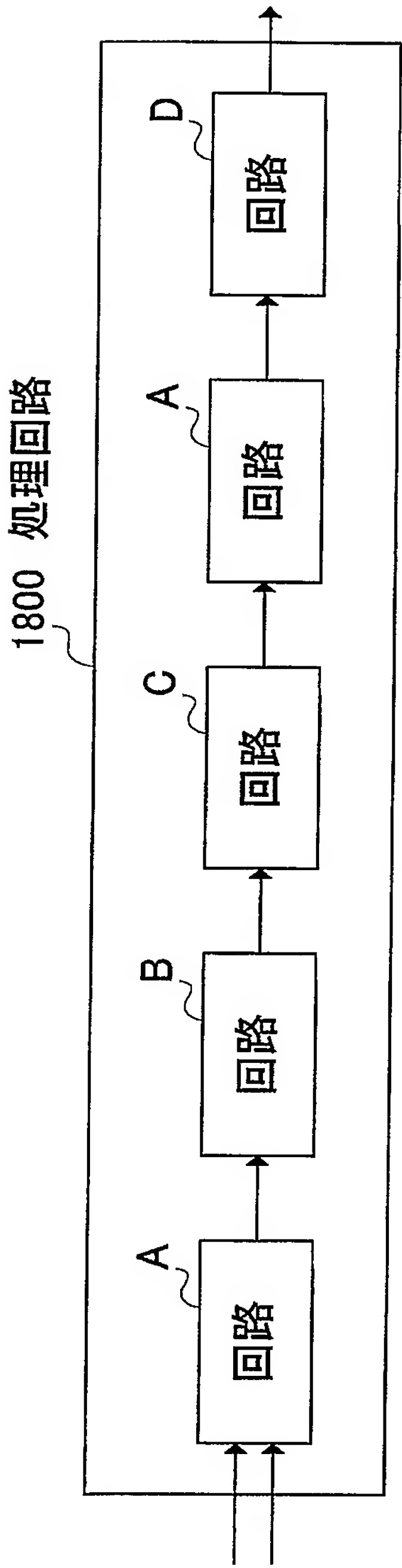
【図 1 6】



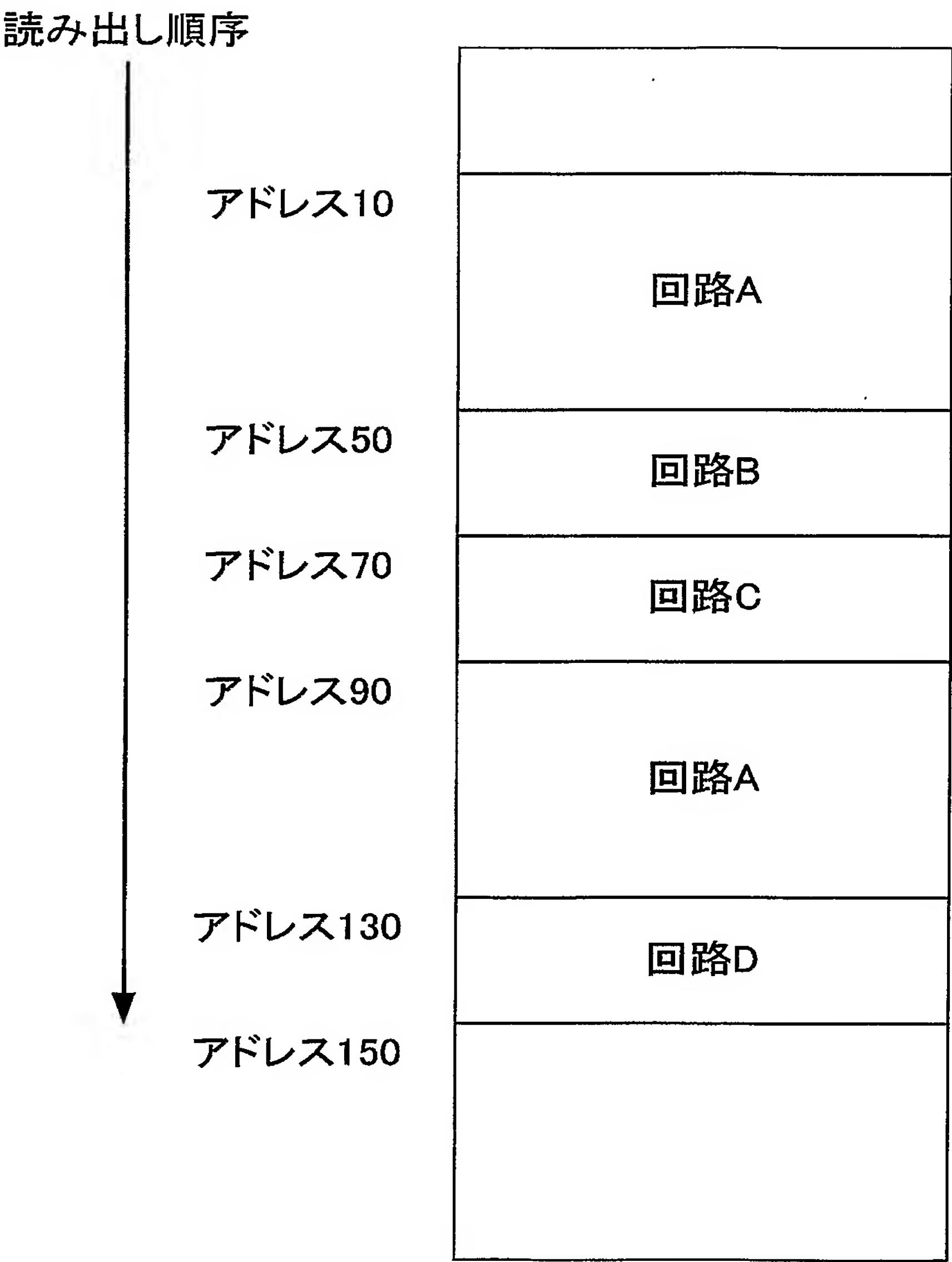
【図 1 7】



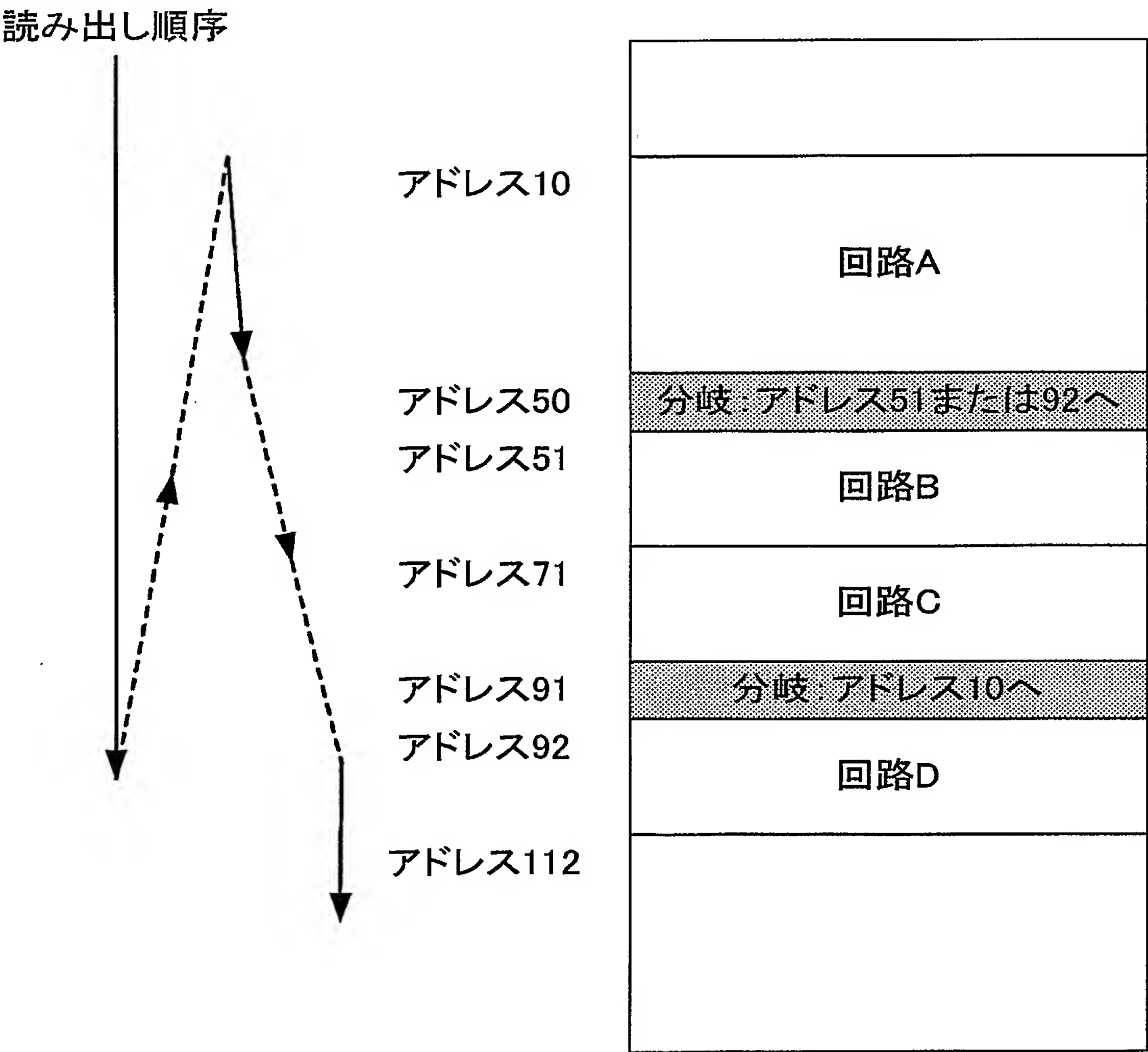
【図 1 8】



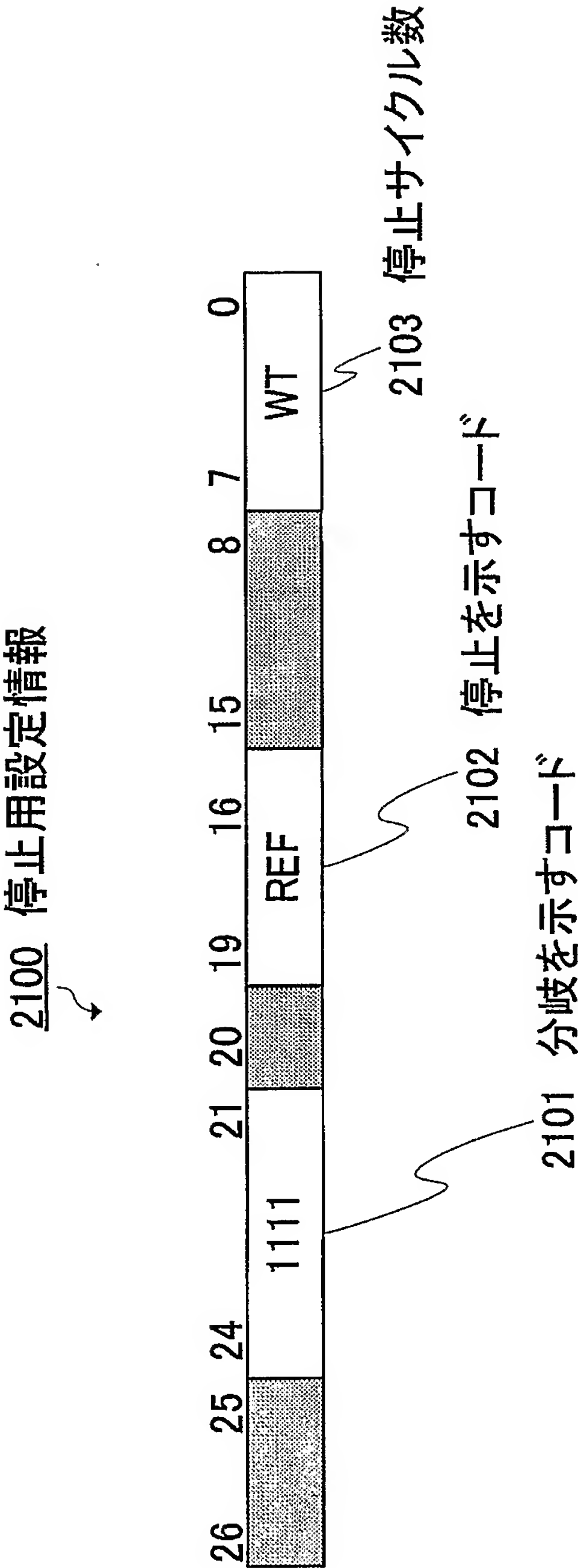
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 高い面積効率を有し、大規模な論理回路を高速に実現可能とすること

。

【解決手段】 プロセッサエレメント 1 0 1 は、第 1 の設定情報に基づいて機能の変更が可能であって入力信号に所定の論理演算処理を行ってデータを生成するロジックセル 3 0 0 と、第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成するクロスコネクトスイッチ 3 0 1 と、分岐用設定情報に基づいてメモリ装置 1 0 2 の前記第 1 及び第 2 の設定情報のいずれかを読み出して前記論理演算手段と前記データ処理手段とに与えて制御するメモリ制御部 2 0 1 と、を有している。複数の単位論理回路の各々は、メモリ装置 1 0 2 から順次に読み出す前記第 1 及び第 2 の設定情報に基づいてロジックセル 3 0 0 とクロスコネクトスイッチ 3 0 1 の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う。

【選択図】 図 1

特願 2 0 0 4 - 0 3 5 0 4 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社